

10/531256
JP 03/11794

日本国特許庁
JAPAN PATENT OFFICE

27.10.03

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2002年10月24日
Date of Application:

出願番号 特願2002-309967
Application Number:
[ST. 10/C]: [JP 2002-309967]

REC'D 13 NOV 2003

WIPO

PCT

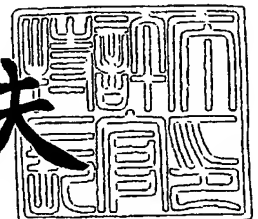
出願人 シャープ株式会社
Applicant(s):

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2003年 8月 4日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



BEST AVAILABLE COPY

【書類名】 特許願
【整理番号】 02J03318
【提出日】 平成14年10月24日
【あて先】 特許庁長官 殿
【国際特許分類】 H01L 27/146
H04N 5/335

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 和泉 良弘

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 寺沼 修

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 上原 和弘

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 尾田 智彦

【特許出願人】

【識別番号】 000005049

【氏名又は名称】 シャープ株式会社

【代理人】

【識別番号】 100080034

【弁理士】

【氏名又は名称】 原 謙三

【電話番号】 06-6351-4384

【選任した代理人】

【識別番号】 100113701

【弁理士】

【氏名又は名称】 木島 隆一

【選任した代理人】

【識別番号】 100115026

【弁理士】

【氏名又は名称】 圓谷 徹

【選任した代理人】

【識別番号】 100116241

【弁理士】

【氏名又は名称】 金子 一郎

【手数料の表示】

【予納台帳番号】 003229

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0208489

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 画像読み取り装置および画像読み取り方法

【特許請求の範囲】

【請求項 1】

光応答性を有する薄膜トランジスタを光検出素子として利用する画像読み取り装置において、

上記薄膜トランジスタのゲート電極に電圧を印加して、該薄膜トランジスタをオン状態あるいはオフ状態に駆動する駆動手段を備え、

上記駆動手段は、任意の期間、上記ゲート電極に対して、上記薄膜トランジスタをオフ状態にする電圧の平均の極性とは逆極性の電圧を印加することを特徴とする画像読み取り装置。

【請求項 2】

上記任意の期間は、画像読み取りを行なわない期間であることを特徴とする請求項 1 記載の画像読み取り装置。

【請求項 3】

上記任意の期間において電圧を印加する時間は、上記薄膜トランジスタの明電流の相対変化を示す比が 0.9 ~ 1.1 の範囲に入るように設定されていることを特徴とする請求項 1 記載の画像読み取り装置。

【請求項 4】

上記の任意の期間は、上記薄膜トランジスタが駆動している全期間の 3% ~ 30% の期間であることを特徴とする請求項 1 記載の画像読み取り装置。

【請求項 5】

画像を任意の周期で連続して読み取る場合、該周期が 0.1 Hz ~ 10 Hz であることを特徴とする請求項 1 記載の画像読み取り装置。

【請求項 6】

上記光検出素子は、画素を選択するための画素選択素子を兼ねていることを特徴とする請求項 1 記載の画像読み取り装置。

【請求項 7】

上記任意の期間にゲート電極に印加する電圧の電位が、上記薄膜トランジスタ

がオン状態となる電圧の電位と等しくなるように設定されていることを特徴とする請求項 1 記載の画像読み取り装置。

【請求項 8】

光応答性を有する薄膜トランジスタと該薄膜トランジスタに接続された蓄積容量とを有する光電変換素子による光電変換量を検出することにより原稿画像を読み取る画像読み取り方法において、

上記蓄積容量に電荷を所定量充電する第 1 のステップと、

上記蓄積容量への電荷の充電完了後に、上記薄膜トランジスタをオフ状態にして該薄膜トランジスタへの光照射により上記蓄積容量に充電された電荷を放電する第 2 のステップと、

上記電荷の放電後に上記蓄積容量の残存電荷量を求めて、上記光電変換素子の光電変換量を検出する第 3 のステップとの 3 つのステップを画像読み取りの 1 周期としたとき、

上記第 3 のステップから次の周期の第 1 のステップに移行する期間内に、上記薄膜トランジスタのゲート電極に対して、該薄膜トランジスタをオフ状態にする電圧の平均の極性とは逆極性の電圧を印加する第 4 のステップを実行することを特徴とする画像読み取り方法。

【請求項 9】

上記第 4 のステップにおいてゲート電極に電圧を印加する時間は、上記薄膜トランジスタの明電流の相対変化を示す比が 0.9 ~ 1.1 の範囲に入るように設定されていることを特徴とする請求項 8 記載の画像読み取り方法。

【請求項 10】

上記第 4 のステップは、複数周期に 1 回の割合で実行されることを特徴とする請求項 8 記載の画像読み取り方法。

【請求項 11】

上記第 4 のステップは、上記薄膜トランジスタが駆動している全期間の 3 ~ 30 % に相当する期間に実行されることを特徴とする請求項 8 記載の画像読み取り方法。

【請求項 12】

上記周期が、 $0.1\text{ Hz} \sim 10\text{ Hz}$ であることを特徴とする請求項8記載の画像読み取り方法。

【請求項13】

上記第4のステップにおいてゲート電極に印加する電圧の電位が、上記薄膜トランジスタをオン状態にする際の電圧の電位に等しくなるように設定されていることを特徴とする請求項8記載の画像読み取り方法。

【請求項14】

上記第4のステップにおけるゲート電極への電圧の印加を、次の周期の第1のステップにおける蓄積容量に電荷を所定量充電する期間に行なうことを特徴とする請求項8記載の画像読み取り方法。

【請求項15】

上記薄膜トランジスタは、画素を選択するための画素選択素子と光検出素子とを兼ねていることを特徴とする請求項8記載の画像読み取り方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、光応答性を有する薄膜トランジスタを光検出素子として用いた画像読み取り装置および画像読み取り方法に関するものである。

【0002】

【従来の技術】

近年、原稿や写真を読み取る密着型の画像読み取り装置として、ライン状（X方向）に画素配列されたりニアセンサ（CCDリニアセンサなど）を用いて、ラインスキャン（Y方向）を行なうことで2次元画像を読み取ることができるフラットベッドスキャナが普及している。

【0003】

ところが、このようなりニアセンサを用いたスキャナは、2次元画像を読み取るためのメカニカルなスキャン機構を備えているために、薄型軽量化に限界があり、読み取り速度を向上させることも困難であるといった課題を抱えている。

【0004】

そこで、画像読み取り装置の薄型軽量化、読み取り速度の向上を目的として、光検出素子（フォトダイオード、フォトトランジスタなど）とスイッチング素子（薄膜トランジスタなど）を2次元状に配列させたアクティブマトリクス型の二次元イメージセンサ（画像読み取り装置）が開発されている。

【0005】

この方法によれば、メカニカルなスキャン機構を用いずに2次元画像を読み取ることができるために、従来のCCDラインセンサを用いた「フラットベッドスキャナ」に比べて、厚み、重さ、読み取り速度をそれぞれ1/10以下にすることができ、使い勝手の良い画像読み取り装置を実現することができる、

上記のようなアクティブマトリクス型の画像読み取り装置として、例えば、特許文献1（実開平2-8055号公報）に開示されているアクティブマトリクス型画像読み取り装置がある。

【0006】

上記アクティブマトリクス型画像読み取り装置に使用されるアクティブマトリクスアレイ（アクティブマトリクス基板）は、例えば本願発明の図21に示すように、XYマトリクス状に画素が配列されており、各画素には、光検出用の薄膜トランジスタ（光検出用TFETと称する）とスイッチング用の薄膜トランジスタ（スイッチング用TFETと称する）、及び画素容量（蓄積容量）が備えられている。

【0007】

図32は、上記の各画素の光検出用TFETの特性を示す図である。TFETがオフ（ソースドレイン間電極が高抵抗になる状態）になるようゲート電極の電圧を V_{g1} に設定した状態で、原稿面からの反射光がTFETに入射すると、ソースドレイン間の電流が暗電流（ I_{dark} ）から明電流（ I_{photo} ）に増加する。すなわちTFETの抵抗値が低抵抗化する。

【0008】

なお、TFETのオフ状態におけるソースドレイン間電流の光応答を利用する光検出原理については、特許文献2（特開昭58-18978号公報）に開示されている。この原理を利用すると、原稿面などの被写体の明るさ、即ち光の反射率

によって Iphoto の大きさが変化するため、この Iphoto の差によって各画素の蓄積容量に蓄積される（又は蓄積容量から放電される）電荷量に差が生じる。そして、その蓄積容量の電荷量分布（面内分布）を、アクティブマトリクス基板のスイッチング用 TFT を用いて順次読み出すことで、被写体の 2 次元情報を得ることが出来る仕組みになっている。

【0009】

【特許文献 1】

実開平 2-8055 号公報（公開日 1990 年 1 月 18 日）

【0010】

【特許文献 2】

特開昭 58-18978 号公報（公開日 1983 年 2 月 3 日）

【0011】

【特許文献 3】

特開平 6-347753 号公報（公開日 1994 年 12 月 22 日）

【0012】

【特許文献 4】

特開 2002-151669 号公報（公開日 2002 年 5 月 24 日）

【0013】

【発明が解決しようとする課題】

一般に、TFT は、半導体材料として a-Si（アモルファスシリコン）や pol y-Si（多結晶シリコン）が用いられ、ゲート絶縁膜としてプラズマ CVD 成膜の SiN や SiO₂ が用いられる。この TFT は、ゲート電極にバイアスストレスが印加された状態で長期間駆動することで、ゲート絶縁膜、あるいはゲート絶縁膜と半導体膜の界面へのキャリアの注入が生じ、V_{th}（閾値電圧）のシフトが生じることが知られており、これを用いた表示装置や X 線撮像装置の寿命に影響を与えることが指摘されている。

【0014】

例えば、TFT を表示装置のスイッチング素子（アドレス素子）と使用する場合には、長期的な使用のなかで、TFT の V_{th} がシフトしていくと、表示性能

の劣化が生じてくるために問題となる。このため、例えば、特許文献3（特開平6-347753号公報）には、TFTのV_{th}シフトを回復させるために、表示装置がオン状態の時にゲート電極に印加されるバイアスとは逆極性の電圧を、表示装置がオフの状態の時にゲート電極に印加する解決方法が開示されている。

【0015】

一方、TFTをX線撮像装置のスイッチング素子（アドレス素子）として使用する場合には、TFTのV_{th}がシフトすることで検出信号のダイナミックレンジが小さくなり、微弱な信号の検出が不安定になるといった問題が発生する。このため、例えば、特許文献4（特開2002-151669号公報）には、TFTのV_{th}シフトを抑制するために、動作時にゲート電極に印加されるバイアスとは逆極性の電圧を、非動作時にゲート電極に印加する解決方法が開示されている。

【0016】

このようなTFTのV_{th}シフト現象は、TFTを表示装置あるいはX線撮像装置のスイッチング素子として用いた場合であって、長期間使用した場合に問題視されてきたものであった。また、対策としては、装置の長期使用の観点から、装置寿命内でのV_{th}シフト回復又は抑制の試みがなされてきた。

【0017】

ところで今回、上述のようにTFTをスイッチング素子（アドレス素子）として使用する場合に限らず、光検出素子（光検出用TFT）として使用する場合には、類似の問題が発生することを、本願発明者等は見出した。

【0018】

具体的には、光検出用ゲート電極にV_{g1}（即ち負バイアス）を印加すると、I_{dark}やI_{photo}の値が徐々に増加する変動、すなわちTFTの抵抗値が徐々に低抵抗化する変動が見られた。しかも、これまで問題視されてきた長期的なレンジでのV_{th}のシフトではなく、極めて短時間に発生する抵抗値変動が観察された。プローブを用いたTFT単体の測定によれば、この抵抗値変動は、図33に示すように、ゲート電圧をV_{g1}（ここでは-10V）に印加した直後から始まり15分間で約20%以上抵抗値が低下することが判明した。

【0019】

従来のような表示装置やX線撮像装置のスイッチング素子として用いられるTF Tの場合、TF Tは線順次アドレスを行なうためのスイッチとして用いられているだけであるから、TF Tの抵抗値がある基準以上（又は基準以下）を満たしていれば使用上問題にならない。このため、従来は、15分程度の短時間に発生するTF Tの抵抗値変動は全く問題視されることがなかった。

【0020】

ところが、TF Tを光検出素子に用いた画像読み取り装置の場合、TF Tの抵抗値シフトは、そのまま検出信号の変動として現れてしまうことになる。このため次のような問題が発生する。

【0021】

通常、画像読み取り装置では、使用前（例えば装置の電源投入直後など）にキャリブレーション操作を行ない、光検出用TF T素子の感度や、階調特性に対する補正データを取得する。そして、次のステップで、本番の画像の読み取りを行ない、先の補正データを基に画像の補正処理を行なう。

【0022】

ところが、上述のように、光検出用TF Tの抵抗値が短時間で変動すると、最初のキャリブレーション操作で取得した補正データでは適切な画像補正処理ができなくなってしまうといった問題が生じる。この対策として、頻繁に（例えば、画像取得毎に）キャリブレーションをやり直すといった方法も考えられるが、この方法では、画像読み取り装置の操作性を著しく低下させるため好ましくない。

【0023】

また、TF Tの短期変動の影響が蓄積されていくと、復元し難い大きな変動になってしまう恐れがあり長期的な信頼性にも影響を与えかねない。

【0024】

従って、TF Tを光検出素子（光検出用TF T）として用いる場合には、短時間（15分程度）の連続動作で観測されるTF Tの抵抗値変動を、少なくとも10%以内に抑制することが求められ、何らかの対策が必要なことが判明した。

【0025】

本発明は、上記の問題点に鑑みなされたものであって、その目的は、短時間に見られる光検出用TFT特性（抵抗値）の変動を抑制することができる画像読み取り装置および画像読み取り方法を提供することにある。

【0026】

【課題を解決するための手段】

本発明の画像読み取り装置は、上記の課題を解決するために、光応答性を有する薄膜トランジスタを光検出素子として利用する画像読み取り装置において、上記薄膜トランジスタのゲート電極に電圧を印加して、該薄膜トランジスタをオン状態あるいはオフ状態に駆動する駆動手段を備え、上記駆動手段は、任意の期間、上記ゲート電極に対して、上記薄膜トランジスタをオフ状態にする電圧の平均の極性とは逆極性の電圧を印加することを特徴としている。

【0027】

上記の構成によれば、任意の期間、ゲート電極に対して、上記薄膜トランジスタをオフ状態にする電圧の平均の極性とは逆極性の電圧を印加することで、薄膜トランジスタをオフ状態にする電圧がゲート電極に印加され続けた場合に生じる不具合、すなわち薄膜トランジスタの抵抗値の短期変動を抑制することができる。

【0028】

このように、光検出素子として使用する薄膜トランジスタの抵抗値の短期変動を抑制することで、該薄膜トランジスタの感度や、階調特性に対する補正データを取得するために行なわれるキャリブレーション操作で取得した補正データを適切に補正することができる。

【0029】

このときの補正データとしては、装置の電源投入直後に行なわれるキャリブレーション操作で取得した最初の補正データを使用することができるので、従来のように、頻繁にキャリブレーション操作を行なう必要がなくなる。

【0030】

さらに、薄膜トランジスタの抵抗値の短期変動の影響が蓄積されていくことがないので、復元し難い大きな変動になってしまう虞がなくなり、長期的な信頼性

を得ることができる。

【0031】

したがって、長期的に安定した画像読み取りを行なうことが可能となり、この結果、画像読み取り装置の操作性や信頼性が向上するといった効果を奏する。

【0032】

上記の任意の期間としては、画像読み取りに影響を与えないように、画像読み取りを行なわない期間であることが好ましい。

【0033】

通常、光検出用に薄膜トランジスタを使用する場合、光検出精度を考慮すれば、該薄膜トランジスタの抵抗値の短期変動は、少なくとも10%以内に抑制する必要がある。

【0034】

そこで、薄膜トランジスタの抵抗値の短期変動を10%以内に抑制するには、以下のようにすればよい。

【0035】

上記任意の期間において電圧を印加する時間を、上記薄膜トランジスタの明電流の相対変化を示す比が0.9～1.1の範囲に入るように設定するようにすればよい。

【0036】

また、上記の任意の期間を、上記薄膜トランジスタが駆動している全期間の3%～30%の期間にすればよい。

【0037】

さらに、画像を任意の周期で連続して読み取る場合、該周期を0.1Hz～10Hzにすればよい。

【0038】

また、上記光検出素子は、画素を選択するための画素選択素子を兼ねていてもよい。

【0039】

この場合、構造が簡単で高精細な画像読み取り装置を実現できると共に、装置

の操作性や信頼性を向上させることができる。

【0040】

さらに、上記任意の期間にゲート電極に印加する電圧の電位が、上記薄膜トランジスタがオン状態となる電圧の電位と等しくなるように設定されていてもよい。

【0041】

この場合、薄膜トランジスタをオンさせる時と、補償信号となる電圧を印加するときの電位を共通化できるので、ゲート電極に印加する電圧を共通にすることができる。

【0042】

したがって、電圧を複雑に切り替える構成が必要なくなるので、ゲート電極を駆動するためのドライバの構成を簡略化でき、この結果、装置の小型化や省電力化を図ることが可能となる。

【0043】

本発明の画像読み取り方法は、上記の課題を解決するために、光応答性を有する薄膜トランジスタと該薄膜トランジスタに接続された蓄積容量とを有する光電変換素子による光電変換量を検出することにより原稿画像を読み取る画像読み取り方法において、上記蓄積容量に電荷を所定量充電する第1のステップと、上記蓄積容量への電荷の充電完了後に、上記薄膜トランジスタをオフ状態にして該薄膜トランジスタへの光照射により上記蓄積容量に充電された電荷を放電する第2のステップと、上記電荷の放電後に上記蓄積容量の残存電荷量を求めて、上記光電変換素子の光電変換量を検出する第3のステップとの3つのステップを画像読み取りの1周期としたとき、上記第3のステップから次の周期の第1のステップに移行する期間内に、上記薄膜トランジスタのゲート電極に対して、該薄膜トランジスタをオフ状態にする電圧の平均の極性とは逆極性の電圧を印加する第4のステップを実行することを特徴としている。

【0044】

上記の構成によれば、薄膜トランジスタのゲート電極に対して、該薄膜トランジスタをオフ状態にする電圧の平均の極性とは逆極性の電圧を印加することで、

薄膜トランジスタをオフ状態にする電圧がゲート電極に印加され続けた場合に生じる不具合、すなわち薄膜トランジスタの抵抗値の短期変動を抑制することができる。

【0045】

このように、光検出素子として使用する薄膜トランジスタの抵抗値の短期変動を抑制することで、該薄膜とトランジスタの感度や、階調特性に対する補正データを取得するために行なわれるキャリブレーション操作で取得した補正データを適切に補正することができる。

【0046】

このときの補正データとしては、装置の電源投入直後に行なわれるキャリブレーション操作で取得した最初の補正データを使用することができるので、従来のように、頻繁にキャリブレーション操作を行なう必要がなくなる。

【0047】

さらに、薄膜トランジスタの抵抗値の短期変動の影響が蓄積されていくことがないので、復元し難い大きな変動になってしまう虞がなくなり、長期的な信頼性を得ることができる。

【0048】

したがって、長期的に安定した画像読み取りを行なうことが可能となり、この結果、画像読み取り装置の操作性や信頼性が向上するといった効果を奏する。

【0049】

しかも、画像読み取りのための第1ステップから第3のステップで構成される周期の間、すなわち、第3のステップから次の周期の第1のステップに移行する期間内に、上記逆極性の電圧が印加されるようになるので、画像読み取りに影響を与えることがない。

【0050】

したがって、連続して画像を読み取る場合であっても、画像読み取りに悪影響を与えずに、安定した画像読み取りを行なうことが可能となり、この結果、画像読み取り装置の操作性や信頼性が向上するといった効果を奏する。

【0051】

上記第4のステップは、複数周期に1回の割合で実行されるようにしてもよい。

【0052】

この場合、第4のステップを実行しない第3のステップから次の周期の第1のステップまでの期間を短くすることができるので、連続して画像読み取る場合に、第4のステップを実行するまでの間、読み取った画像に連続性を持たせることが可能となる。

【0053】

上述のように、光検出用に薄膜トランジスタを使用する場合、光検出精度を考慮すれば、該薄膜トランジスタの抵抗値の短期変動は、少なくとも10%以内に抑制する必要がある。

【0054】

そこで、薄膜トランジスタの抵抗値の短期変動を10%以内に抑制するには、以下のようにすればよい。

【0055】

上記第4のステップにおいてゲート電極に電圧を印加する時間を、上記薄膜トランジスタの明電流の相対変化を示す比が0.9～1.1の範囲に入るように設定するようにすればよい。

【0056】

また、上記第4のステップを、上記薄膜トランジスタが駆動している全期間の3%～30%の期間に実行すればよい。

【0057】

さらに、上記周期を0.1Hz～10Hzにすればよい。

【0058】

また、上記薄膜トランジスタは、画素を選択するための画素選択素子と光検出素子とを兼ねていてもよい。

【0059】

この場合、構造が簡単で高精細な画像読み取り装置を実現できると共に、装置の操作性や信頼性を向上させることができる。

【0060】

さらに、上記任意の期間にゲート電極に印加する電圧の電位が、上記薄膜トランジスタがオン状態となる電圧の電位と等しくなるように設定されていてもよい。

【0061】

この場合、薄膜トランジスタをオンさせる時と、補償信号となる電圧を印加するときの電位を共通化できるので、ゲート電極に印加する電圧を共通にすることができる。

【0062】

したがって、電圧を複雑に切り替える構成が必要なくなるので、ゲート電極を駆動するためのドライバの構成を簡略化でき、この結果、装置の小型化や省電力化を図ることが可能となる。

【0063】

また、上記第4のステップにおいてゲート電極に電圧を、次サイクルの第1のステップにおける蓄積容量に電荷を所定量充電する期間に印加するようにしてもよい。

【0064】

この場合、第4のステップを実行するための期間を設ける必要がないので、第3のステップから次の周期の第1のステップまでの期間を短くすることができる。

【0065】

これにより、画像を連続して読み取る場合に、読み取り速度を向上させることができ、装置の操作性の向上を図ることが可能となる。

【0066】

【発明の実施の形態】

本発明の実施の形態を説明する前に、本願発明の原理について、図28ないし図31を参照しながら以下に説明する。

【0067】

本願発明者らは、上述の課題欄で説明した「短時間に観測されるTF Tの抵抗

値変動」が、長期間使用で見られる従来のTF Tの V_{th} シフトに対する対策と同様に、動作時にゲート電極に印加されているバイアスの平均極性とは逆の極性を有する電圧（補償信号または補償パルス）をゲート電極に印加することで抑制できるものと考え、以下に示すような基礎実験を行なった。

【0068】

図28は、実験用に光検出用TF Tのゲート電極に印加した信号波形である。上記信号波形は、ゲート電極にはオフ電圧 (V_{g1}) が印加され、3フレーム／秒の周期で、1フレームに一回、逆極性の補償信号が印加される信号波形を示している。本実験では、逆極性の補償信号の時間（補償信号期間）Aをパラメータとして、TF Tの抵抗値変動の挙動を観測した。

【0069】

なお、本実験に用いた光検出用TF Tの構造は、図30に示すように、ボトムゲート型TF Tである。すなわち、ガラス基板等からなる基板上に、ゲート電極が設けられ、上記ゲート電極の上には、ゲート絶縁膜が形成され、さらに、上記ゲート絶縁膜上には、上述したチャネル部となる感光性半導体膜としての半導体層 ($a-Si$) が形成され、この半導体層上には、コンタクト層と、ソース電極及びドレイン電極が形成されている。そして、光検出用TF T全体を覆うように保護膜が形成されている。

【0070】

図29は、図28で示した信号波形を印加した前後における、図30に示した構成の光検出用TF Tの特性変動（抵抗値変動）に伴う明電流 (I_{photo}) の相対変化を示すグラフである。このグラフでは、横軸に補償信号期間A、縦軸にTF Tの明電流 (I_{photo}) の相対変化を示す。

【0071】

なお、光検出用TF Tの明電流 (I_{photo}) の値は、該光検出用TF Tのゲート電圧 V_g が $-10V$ 、ソースドレイン間電圧 V_{sd} が $1V$ 、該光検出用TF Tのチャネル部への光照射が $10001x$ の時の値である。また、図28で示した信号波形の印加条件（ストレス印加条件）は、光照射無しの状態で15分間連続印加である。

【0072】

図29に示すグラフから明らかなように、補償信号期間Aを10～100 msec、好ましくは33 msec前後に設定することで、ゲート電極への15分間の信号印加に対して、光検出用TF Tの明電流 (I_{photo}) の相対変化を10%以下に抑制できることが判明した。なお、実験的に最初の15分程度の変化が大きく、それ以上の時間では、変動が飽和していく傾向があることが判っている。

【0073】

換言すれば、補償信号（逆極性）の印加時間が、1フレーム期間に対して、3～30%、好ましくは10%前後となるように、ゲート電極への入力波形を設定すると良い。

【0074】

次に、1フレーム期間に対する補償信号期間Aが1/10になるようにデューティ比を固定した状態で、フレーム周波数をパラメータとして同様の実験を行なった。このとき、光照射無しで15分間連続して電圧 V_g を印加し、 I_{photo} の測定条件としては、図29に示す条件と同じにした。この結果、図31に示すように、画像読み取りの実用的な読み取りサイクル（周期）と考えられる0.1 Hz～10 Hzでは、光検出用TF Tの明電流 (I_{photo}) の相対変化は略同じ傾向に保たれることが確認された。

【0075】

従って、光検出用TF Tは、通常オフ状態となるようにゲート電極に電圧 V_{g1} が印加されているが、3%～30%、好ましくは10%前後の割合で、逆極性の補償信号を印加するようなシーケンスを採用することで、懸念していた短時間に観測される光検出用TF Tの抵抗値変動を抑制できることが明確になった。

【0076】

なお、ここで求めた補償信号の印加期間は、必ずしも1フレームに1回の割合で設ける必要はなく、1フレームに複数回であっても良い、複数フレームに1回設ける場合であっても良い。即ち、補償信号は、光検出用TF Tを用いて画像読み取りを行なう全期間（光検出用TF Tが駆動している全期間）に対して、平均として3%～30%、好ましくは10%前後の期間ゲート信号に印加されていれ

ば良い。

【0077】

以下に、本願発明を具体的に装置に適用した例について説明する。

【0078】

〔実施の形態1〕

本発明の一実施の形態について説明すれば、以下の通りである。

【0079】

なお、本実施の形態では、本発明の画像読み取り装置を二次元イメージセンサに適用した例について説明する。

【0080】

まず、上記二次元イメージセンサに用いられる光検出用TFT（フォトセンサ）について説明し、続いて、二次元イメージセンサについて説明する。

【0081】

上記フォトセンサは、基本的には、逆スタガー型薄膜トランジスタ（TFT）の構成となっている（上部ゲート電極が光透過性の材質ならば、スタガー型薄膜トランジスタの構成となってもよい）。すなわち、図3に示すように、光検出用TFT7は、ガラス等からなる透明な絶縁性基板（透明基板）9上に、アルミニウム（Al）、タンタル（Ta）等からなるボトムゲート電極11が形成されており、このボトムゲート電極11及び絶縁性基板9を覆うように、窒化シリコン（SiN）からなるゲート絶縁膜（保護層）13が形成されている。

【0082】

上記ボトムゲート電極11上には、ゲート電極11と対向する位置に、i型アモルファス・シリコン（i-a-Si）で形成された半導体層（感光性半導体層）12が形成されており、この半導体層12を挟んで、該半導体層12上に所定の間隔を有して相対向する位置にソース電極10及びドレイン電極15が形成されている。

【0083】

これらソース電極10及びドレイン電極15は、それぞれn+シリコン層4を介して半導体層12と接続されている。

【0084】

ソース電極10及びドレイン電極15の上部には保護絶縁膜14が形成され、これらによりトランジスタ（逆スタガー型薄膜トランジスタ）が構成されている。

【0085】

この光検出用TFET7に対して、絶縁性基板9側のバックライトユニット18から照射光2が照射され、この照射光2が開口部6を透過し、原稿1に反射して、半導体層12に照射される。

【0086】

そして、光検出用TFET7は、ボトムゲート電極11に印加する電圧を制御することにより、導通状態と非導通状態を制御することができる。例えば、光検出用TFET7のボトムゲート電極11に正電圧を印加すると、半導体層12にnチャンネルが形成され、ここで、ソース電極10ードレイン電極15間に電圧を印加すると、電流が流れる。

【0087】

上記光検出用TFET7のゲート電圧とソースドレイン電流との関係は、図32に示すグラフのようになる。

【0088】

次に、上記構成の光検出用TFET7を用いた2次元イメージセンサについて、図2を参照しながら以下に説明する。

【0089】

図2は、2次元イメージセンサの概略構成ブロック図を示している。なお、ここで説明する2次元イメージセンサは、密着型のイメージセンサを示す。また、本実施の形態では、二次元のイメージセンサについて説明するが、本発明の画像読み取り装置は、1次元のイメージセンサであってもよい。

【0090】

本実施の形態に係る2次元イメージセンサは、図2に示すように、マトリクス状に配列された複数の画素（図示せず）を有し、センサ部（フォトセンサ）を構成する平板状のセンサ基板（光電変換素子）20を備えており、該センサ基板2

0の外周には、複数の駆動（駆動手段）IC19…と、複数の検出IC（光電変換量検出手段）25…とが接続されている。

【0091】

駆動IC19は、センサ基板20に画素毎に設けられた後述する光検出用TF T7（図1参照）を駆動するものであって、センサ基板20に設けられたゲートライン22…に接続されている。ゲートライン22…のライン数は、センサ基板20の大きさや、画素ピッチにもよるが、数百～数千ラインであり、これらゲートライン22…を、複数の駆動IC19…で分担している。この場合、1つの駆動IC19の出力数は、例えば数百となる。

【0092】

これら各駆動IC19は、駆動プリント基板21に実装されており、各駆動IC19と駆動プリント基板21とで、駆動回路28を構成している。

【0093】

駆動プリント基板21は、コントロール・通信基板（光照射制御手段を含む）24に接続されており、駆動IC19の制御及びコントロール・通信基板24とのインターフェイスを行う回路を搭載している。

【0094】

一方、検出IC25は、センサ基板20に設けられた光検出用TF T7が駆動した結果得られた、センサ基板20からの出力を検出するものである。各検出IC25は、センサ基板20のデータライン23…に接続されている。データライン23…のライン数も、センサ基板20の大きさや、画素ピッチによるが、数百～数千ラインであり、これらデータライン23…からの出力の検出を、複数の検出IC25…で分担している。1つの検出IC25の入力数は、例えば数百となる。

【0095】

これら各検出IC25は、検出プリント基板（画像情報出力手段）26に実装されており、各検出IC25と検出プリント基板26とで、検出回路（検出手段）29を構成している。

【0096】

検出プリント基板 26 は、コントロール・通信基板 24 と接続されており、検出 IC 25 の制御及びコントロール・通信基板 24 とのインターフェイスを行う回路を搭載している。

【0097】

コントロール・通信基板 24 は、CPU やメモリ等、センサ基板 20 のライン読み出し走査やフレーム周期と同期を持たない信号を扱う回路が搭載された構成で、外部回路との通信及び、光電変換装置全般の制御を行うものである。

【0098】

バックライトユニット 18 は、LED、光導光板、光拡散板より構成される。

【0099】

LED の点灯・消灯は、コントロール・通信基板 24 により制御される。

【0100】

上記センサ基板 20 は、例えば図 4 に示すように、画素毎にスイッチング用 TFT と光検出用 TFT を配置したものではなく、1 つの薄膜トランジスタ（光検出用 TFT 7）でスイッチング用 TFT と光検出用 TFT を兼用した構造となっている。

【0101】

したがって、上記センサ基板 20 は、1 つの薄膜トランジスタで画素選択機能を有するスイッチング用 TFT とフォトセンサ機能を有する光検出用 TFT とを兼用している。

【0102】

上記センサ基板 20 において、駆動回路 51 は、図 2 に示す駆動プリント基板 21 と駆動 IC 19 … とで構成され、読出し回路 52 は、図 2 に示す検出プリント基板 26 と検出 IC 25 … とで構成され、ゲートライン 22 には、各光検出用 TFT 7 のゲート電極が接続され、データライン 23 には、各光検出用 TFT 7 のソース電極が接続されている。なお、図 4 に示すセンサ基板 20 では、電荷蓄積容量としての画素容量 17 に接続された容量配線 53 が設けられている。また、この容量配線 53 は、電源（Vcs）に接続されており、後述する画素容量 17 のプリチャージの際に使用される。

【0103】

上記センサ基板20では、図4に示すように、単位画素あたりに、機能兼用TFTである光検出用TFT7と画素容量17とが1つずつ配設されている。

【0104】

以下に、上記読出し回路52を構成する検出IC25の詳細について説明する。

【0105】

上記検出IC25は、図1に示すように、内部に、積分アンプ33、ローパスフィルタ34、増幅アンプ35、サンプルホールド回路36等を、該検出IC25が検出するライン数分（例えば数百ライン）備え、サンプルホールド回路36の後段に、アナログマルチプレクサ37と、A/D（アナログ/デジタル）変換回路38とを、1つずつ備えている。

【0106】

また、この検出IC25では、各構成回路のオフセット及びノイズを除去するために、二重相関サンプリングを行うようになっている。

【0107】

このような構成の検出IC25において、データライン23を通して検出IC25に入力した補助容量17の電荷は、まず、負入力として積分アンプ33に入力され、これにて、積分アンプ33からは、入力した電荷に比例した電位が出力される。また、積分アンプ33の正入力には、基準電圧（Vref）32が接続されている。

【0108】

上記積分アンプ33の出力は、ノイズを低減するために設けられたローパスフィルタ34を通して増幅アンプ35に入力し、所定倍に増幅されて出力される。

【0109】

そして、増幅アンプ35の出力は、サンプルホールド回路36に入力して一旦保持され、保持された値は、アナログマルチプレクサ37の複数入力の1入力に出力される。

【0110】

アナログマルチプレクサ 37 の出力は、次段の A/D 変換回路 38 に入力され、該 A/D 変換回路 38 にて、アナログデータからデジタルデータに変換され、画像データとして、コントロール・通信基板 24 に出力される。

【0111】

また、上記積分アンプ 33 には、リセットスイッチ 30 が設けられており、該リセットスイッチ 30 は、検出 IC 25 のコントロール部 31 の出力により制御される。このコントロール部 31 は、検出 IC 25 の制御、及び検出プリント基板 26 とのインターフェイスを行うものである。

【0112】

ここで、上記構成の光検出用 TFT 7 は、以下のように駆動する。

【0113】

すなわち、上記の光検出用 TFT 7 は、図 3 に示すように、絶縁性基板 9 側のバックライトユニット 18 から照射光 2 が照射され、この照射光 2 が開口部 6 を透過し、原稿 1 に反射して、感光性を有する半導体層 12 に照射される。

【0114】

ここで、光検出用 TFT 7 は、ボトムゲート電極 11 に印加する電圧を制御することにより、導通状態（オン）と非導通状態（オフ）を制御することができる。例えば、光検出用 TFT 7 のボトムゲート電極 11 に正電圧を印加すると、半導体層 12 に n チャンネルが形成され、ここで、ソース電極 10 - ドレイン電極 15 間に電圧を印加すると、電流が流れる。

【0115】

また、非導通状態（ゲート電極に負電圧を印加した状態）での光照射時には、半導体層 12 に光電流が誘起され、ソース電極 10 - ドレイン電極 15 間に、照射光により誘起された電子正孔の数、すなわち照射光の光量に応じたドレイン電流 (I_{photo}) が流れる。すなわち、ソースドレイン間の抵抗値が低下する。一方、光非照射時（オフ）には、ドレイン電流 (I_{dark}) は極めて小さく、例えば、 10^{-14}A （アンペア）程度となる。

【0116】

ここで、上記光検出用 TFT 7 のゲート電極に接続されたゲートライン 22 に

は、駆動IC19からの電圧が印加されるが、該光検出用TF T7の抵抗値の特性が変化するので、通常、オフ状態となるような極性の電圧が印加されるようにし、1フレームに1回の割合で逆極性の電圧（補償信号）を所定の期間印加されるようになっている。この詳細については、後述する。

【0117】

次に、上記構成の二次元イメージセンサの動作について、図5を参照しながら以下に説明する。図5は、二次元イメージセンサの動作の流れを示すフローチャートである。

【0118】

まず、画素容量(Cs)17をプリチャージする（ステップS1）。ここでは、データライン23または容量配線53を用いて画素容量（蓄積容量）17をプリチャージする。なお、データライン23を用いてプリチャージする場合には、光検出用TF T7をONにする必要がある。

【0119】

次に、バックライト照射を行なう（ステップS2）。ここで、光検出用TF T7をオフにした状態で、バックライトユニットによって、センサ基板20に所定の期間だけ光（例えば原稿の反射光）を照射する。この結果、光が照射された場所ではソース・ドレイン電極間を流れる電流（明電流I_{photo}）が増加する特性（すなわち、低抵抗化する特性）により、プリチャージされていた画素容量17の電荷が放電される。一方、光が照射されない場所では、画素容量17の電荷が維持される。

【0120】

続いて、バックライトをオフする（ステップS3）。

【0121】

そして、電荷の読出しを行なう（ステップS4）。つまり、センサ基板20への光照射を止め、光検出用TF T7を順次オンにすることで、画素容量17に残存している電荷を読出し、画像情報の面分布を読み出す。この動作は、上述した読出し回路52を構成する検出IC25にて行なわれる。

【0122】

上記構成の二次元イメージセンサの駆動の手順としては、図5に示すフローチャートのように、上記の基本のステップS1～S4を行なうことで、光の二次元分布、即ち原稿の画像情報を取得することができる。また、これを順次繰り返すことで、連続して画像を読み取ることも可能になる。

【0123】

ここで、ステップS1は、蓄積容量としての画素容量17に電荷を所定量充電する第1のステップに相当し、ステップS2は、画素容量17への電荷の充電完了後に、上記光検出用TF T7をオフ状態にして該光検出用TF T7への光照射により上記画素容量17に充電された電荷を放電する第2のステップに相当する。

【0124】

また、ステップS3、4は、上記電荷の放電量から上記画素容量17の電荷量を求めて、上記光電変換素子であるセンサ基板20の光電変換量を検出する第3のステップに相当する。

【0125】

そして、上記の3つのステップ（第1のステップ～第3のステップ）を画像読み取りの1周期としたとき、上記第3のステップから次の周期の第1のステップに移行する期間内に、上記光検出用TF T7のゲート電極に対して、該光検出用TF T7をオフ状態にする電圧の平均の極性とは逆極性の電圧を印加するようにすればよい。

【0126】

ここで、上記構成の二次元イメージセンサの動作の詳細について、図6～図9を参照しながら以下に説明する。図6は、図4に示した画像読み取り装置の等価回路の中で、データライン1本分に着目し、読出し回路部分も含めて詳細に記載した図である。

【0127】

先ず、二次元イメージセンサを構成する読出し回路（検出IC）は、図6に示すように、内部に、電荷積分アンプ、増幅アンプ、サンプルホールド回路等を該検出ICが検出するライン数分（例えば数百ライン）備え、サンプルホールド回

路の後段には、アナログマルチプレクサ（図1の符号37）を介して、A/D（アナログ/デジタル）変換回路を1つ備えている。上記電荷積分アンプの出力は、増幅アンプに入力し、所定の倍率に増幅されて出力される。

【0128】

なお、電荷積分アンプと増幅アンプの間に、ノイズ成分をカットするローパスフィルタ（図1の符号34）が挿入されている。このローパスフィルタは挿入しなくてもどちらでもよい。

【0129】

上記増幅アンプの出力は、サンプルホールド回路に入力して一旦保持され、保持された値は、アナログマルチプレクサの複数入力の1入力に出力される。アナログマルチプレクサの出力は、次段のA/D変換回路に入力され、該A/D変換回路にて、アナログデータからデジタルデータに変換され、外部に出力される。

【0130】

次に、図6、図7を参照しながら、時間を追って、上記構成の二次元イメージセンサの具体的な動作例を説明する。図7は、各部のタイムチャートを示している。ここでは、図4に示した各ステップに対応した時間毎の動作を説明する。なお、以下において、説明の便宜上、光検出用TF T7を単にTF Tとする。

【0131】

（1）ステップS1：時間 $t_4 \sim t_7$

時間 t_4 で電荷積分アンプのリセットスイッチがオン状態であるため、電荷積分アンプの帰還容量がショートされており、電荷積分アンプの出力は基準電圧（ V_{ref} ）になっている。この為、増幅アンプの出力も V_{ref} である。この状態で、時間 t_5 で C_s 電極駆動電圧がオンされると、蓄積容量（ C_s ）より電荷がTF Tのドレイン側に流れ込んでくるが、TF Tがオン状態で電荷積分アンプがリセットされているため、この電荷は消滅する。

【0132】

次に、時間 t_6 でゲート駆動信号がオフされ、時間 t_7 で C_s 電極駆動電圧がオフされると、蓄積容量（ C_s ）の電位が変化する。即ち、蓄積容量（ C_s ）がプリ充電される。なお、図6では、 C_s 電極を駆動することで蓄積容量（ C_s ）

のプリ充電を行なう例を示しているが、図10に示すように、電荷積分アンプ（CSA）の基準電位（V_{ref}）を駆動することで、蓄積容量（C_s）のプリ充電を行なうことも可能である。

【0133】

(2) ステップS2：時間t₇～t₁

時間t₇で蓄積容量に充電された電荷は、TF Tがオフ状態にあるため、時間t₇～時間t₁の間（即ち、次のサイクルまでの間）、TF Tのオフ抵抗値と蓄積容量値で決定される時定数で保持される。ここで、時間t₇～時間t₁の間に原稿に所定の期間光照射を行う。

【0134】

すると、TF Tに光が照射された場所では、TF Tの抵抗値が低抵抗化するため、蓄積容量の電荷はTF Tのソース側に流れ、TF Tドレイン電圧がV_{ref}に近づく。一方、光が照射されない場所では、TF Tが高抵抗値を保っているために、蓄積容量の電荷は保持され、TF Tドレイン電圧は大きく変化しない。この結果、時間t₇～t₁の間に、光が照射された場所と照射されなかった場所で、TF Tのドレイン電圧（即ち、蓄積容量の残存電荷量）に差が生じる。

【0135】

(3) ステップS3, S4：時間t₁～t₄

時間t₁で電荷積分アンプのリセットスイッチがオンからオフされ、電荷積分アンプのリセットが解除される。時間t₂でゲート駆動信号がオンされ、TF Tがオンする。TF Tがオンすると、画素の蓄積容量の電荷が積分アンプの帰還容量に移動し、それに伴い、電荷積分アンプの出力が決定される。ここで、積分アンプの出力は、実線が光照射された場所に対応した出力であり、波線が光照射されなかった場所に対応する出力である。増幅アンプの出力は、積分アンプの出力値×G（ゲイン）となり、この値を時間t₃でサンプルホールドする。これで、光照射期間に得られた原稿の画像情報を電気信号として得ることになる。なお、この期間は、光照射をオフしておき、データの読出しの際のTF Tの動作に光が影響しないようにしておく。データ読出しが終われば、積分アンプのリセットスイッチをオンにしておく。

【0136】

上記(1)～(3)を繰り返すことで、連続して画像を取得することが可能になる。光照射の際、R、G、Bの3原色を順次切り替えて発光させることで、カラー画像の読み取りも可能である。

【0137】

ところで、通常は、ゲート線(走査線)が複数本有するため、全体的なシーケンスとしては、図8に示すものになり、図9に示すタイミングチャートとなる。図8では、1例として、ゲートラインが512本の場合の例を示している。

【0138】

すなわち、図8および図9に示すように、光の照射期間に、蓄積容量の残存電荷(即ちドレイン電圧)に差を生じせ、照射停止期間にゲートを線順次にスキャンさせ、順次、蓄積容量の残存電荷に対応した出力を得て、画像情報を取得する。なお、上記の説明では、ゲートラインとデータライン電極間の寄生容量 C_{gs} 、ゲート電極とドレイン電極間の寄生容量 C_{gd} に起因するフィードスルー(ゲート信号の変化に対する C_{gs} 、 C_{gd} のカップリング効果)の影響については、説明を簡潔にするため省略している。

【0139】

ここで、図7のゲートの駆動波形に注目すると、通常、ゲートのオン期間 T_{on} に比べてオフ期間 T_{off} の方が桁違いに長く設定される。これは、 T_{off} 期間では、TFTのオフ状態(即ち高抵抗状態)を利用して蓄積電荷を放電させているために、放電に必要な時定数が大きくなるためであり、 T_{off} は数百 ms 程度必要になる。一方で、 T_{on} 期間ではTFTのオン抵抗値が小さいため、TFTを介した電荷のやり取りに係わる時定数は数 μs 程度となる。

【0140】

従って、 T_{on} は種々のマージンを見込んでも数十～100 μs 程度で十分である。具体的には、 $T_{on}/T_{off}=100\mu s/200ms$ の設定で駆動することができる。即ち、ゲートラインにオン電圧(正バイアス)が印加される期間は瞬時的であり、ほとんどの時間はオフ電圧(負バイアス)が印加された状態となる。換言すれば、駆動電圧の平均極性は負バイアスとなる。

【0141】

このような通常の駆動方法においては、ゲート電極に実効的に片極性のバイアスが印加されることになるので、図32に示したように、光検出用TFTの抵抗値の短期経時変化が顕著に現れ、実用上問題になる。

【0142】

そこで、これを解決するために、本願では以下に示す補償駆動方法を採用した。

【0143】

本実施の形態における補償駆動方法の一例について、図11～図14を参照しながら以下に説明する。

【0144】

図11は、図8に示したタイミングチャートに補償駆動対策を盛りこんだものであり、異なる点は、図8で示したスキャン期間を、スキャンAとスキャンCに分割し、その間にスキャンBを設けた点である。

【0145】

上記スキャンAは、主にステップS3、S4の「データ検出」を司るスキャンであり、図12に示すタイミングチャートによって駆動される期間である。

【0146】

上記スキャンCは、主にステップS1の「Csのプリ充電」を司るスキャンであり、図14に示すタイミングチャートによって駆動される期間である。

【0147】

一方、スキャンBは、TFTのゲート電極に、補償バイアスを印加するために追加した補償信号のスキャンであり、図13に示すタイミングチャートによって駆動される期間である。即ち、スキャンBでは、TFTのゲート電極に対して、所定の期間、意図的に正バイアスを印加するための補償パルス（補償信号）を印加している。

【0148】

ここでは、ゲート電極に印加する補償パルスの印加タイミングを、ゲートドライバの駆動周波数（例えば3MHz）に基づき、ゲートライン（行）毎に、少しず

つ、ずらしてスタートさせ、オン期間が各走査線で重複するように印加している。このため、例え補償パルス期間(補償信号期間)が長くても、全ゲートラインに対して補償パルスを印加し終えるまでに要する時間を最小限に抑えることができ、有用である。

【0149】

もちろん、全ゲートラインを一斉に駆動できるようなゲートドライバを採用し、全走査線に一斉に補償パルスを印加することができれば、それがより好ましいことは言うまでもない。

【0150】

上記の補償駆動方法により、TFTのオン期間 T_{on} とオフ期間 T_{off} の関係を調整することが可能になる。実際には、先の実験結果に基づき、平均的な時間の関係が、 $T_{on}/T_{off}=3/100\sim 3/10$ 、好ましくは $1/10$ となるように設定する。この結果、問題となっていた光検出用TFTの抵抗値の短期経時変化を劇的に改善することが可能になった。

【0151】

なお、補償信号の電位は、ステップS3、S4において、TFTがアドレス用のスイッチング素子として作用する際のゲートのオン電位に合わせることが好ましい。これにより、ゲートドライバの出力電圧を共通にできるといったメリットがある。

【0152】

図11では、スキャンBを1読出しサイクルに一回の割り合いで設けているが、平均的な時間の関係、すなわち、画像読み取り動作全体の時間において、 $T_{on}/T_{off}=3/100\sim 3/10$ であるならば、複数の読出しサイクルに対して1回の割り合いでスキャンBを設けても良い。

【0153】

また、ここでいう補償パルスとは、矩形波形のみを指すものではなく、曲線的な波形を含む信号でも良く、単一波形でなく複数波形の組み合わせた信号であっても良い。

【0154】

また、図15に示すように、スキャンBの期間（即ちゲート電極に補償信号を印加する期間）、光照射照射を行なっても良い。この場合、ゲート電極をオンにする時間を短くすることができる。

【0155】

さらに、図16は、スキャンBにスキャンCの作用を組み合わせたもので、スキャンB+Cにより、「補償信号の付与」と「Csのプリ充電」を1回のスキャンで司ることが可能になる。この場合、スキャンAは、図17に示すタイミングチャートで駆動する期間を示し、スキャンB+Cは、図18に示すタイミングチャートで駆動する期間を示す。このように、スキャンの回数を減らすことで、画像読み取り装置である二次元イメージセンサの駆動にかかる消費電力を低減することができる。

【0156】

図19は、図11の変形例であり、複数の読出しサイクルに対して1回の割合で補償信号のスキャンを追加している。図では、判り易いように3サイクルに1回の割合で補償信号スキャンを追加している例を示しているが、実際には数十～数百サイクルに1回などの割合で補償信号スキャンを追加しても良く、これにより、補償信号がない通常サイクル期間では、補償信号の追加期間がリアルタイムの読み取りを妨げることがない。つまり、補償信号スキャンから次の補償信号スキャンまでの間では、読み取った画像を連続して見る事が可能となる。

【0157】

但し、補償信号を追加する時間は、平均的に $T_{on}/T_{off}=3/100\sim 3/10$ になるように合わせる必要があるため長く設定する必要がある。従って、1分間リアルタイムで画像を読み取った後、数秒間補償信号を追加するためのブランク期間が生じるといった読み取りモードになる。

【0158】

同様に図16に示したシーケンスに対しても、図20に示すように、複数の読出しサイクルに対して1回の割合で補償信号のスキャンを追加する方式を採用することが可能である。

【0159】

但し、上述のように複数の読出しサイクルに対して1回の割合で補償信号のスキューを追加する方式を採用する際には、補償信号の追加するタイミング（周期）が先の予備実験（図31）で示したフレーム周波数の最適範囲を逸脱する場合がある。そのような場合は、追加する補償信号の電圧値（振幅）を調整して最適化してやると良い。

【0160】

なお、上述の実施の形態においては、光検出用TFETとスイッチング用TFETを1個のTFET素子で兼用した画像読み取り装置に対する補償駆動方法について説明してきたが、光検出用TFETとスイッチング用TFETとが別々に設けられた画像読み取り装置に対して適用することも可能である。この場合でも、光検出用TFETのゲート電極に印加される信号を調整し（即ち、補償パルスを導入し）、 $T_{on}/T_{off}=3/100\sim 3/10$ となるように適宜補償パルスの印加条件を設定してやることで、本願の効果を得ることが可能になる。

【0161】

このような光検出用TFETとスイッチング用TFETとが別々に設けられた画像読み取り装置の例について、以下の実施の形態2で説明する。

【0162】

〔実施の形態2〕

本発明の他の実施の形態について説明すれば、以下の通りである。なお、本実施の形態においても、前記実施の形態1と同様に、画像読み取り装置として二次元イメージセンサの例について説明する。

【0163】

本実施の形態に係る二次元イメージセンサは、図21に示すセンサ基板40を備えている。

【0164】

上記センサ基板40は、図21に示すように、駆動回路51から延びる電気配線としてのゲートライン22と読出し回路52から延びる電気配線としてのデータライン23とがXYマトリクス（格子状）に配列されており、各格子によって画素が区画されている。各画素には、スイッチング用の薄膜トランジスタ（スイ

ツチング用 T F T と称する) 4 1、薄膜フォトトランジスタとしての光検出用の薄膜トランジスタ (光検出用 T F T と称する) 4 2、及び電荷蓄積容量としての画素容量 4 3 が各々備えられている。

【0165】

上記センサ基板 4 0 の基本的な動作原理を以下に説明する。

【0166】

各画素の光検出用 T F T 4 2 は、暗電流 I_{dark} を低く抑えるように所定のバイアス (V_{ss}) を印加してオフ状態に設定しておく。この状態で、光検出用 T F T 4 2 に外部から光が入射すると、チャネル部に光励起キャリアが生成され、該光検出用 T F T 4 2 の抵抗値が低下する。この光検出用 T F T 4 2 の抵抗値変化は、該光検出用 T F T 4 2 のソースドレイン間を流れる電流 (明電流 I_{photo}) の差、すなわち、各光検出用 T F T 4 2 を流れる電荷量の差として現れる。その結果、各光検出用 T F T 4 2 に接続されている画素容量 4 3 の充電量 (あるいは放電量) に差を生じさせることになる。

【0167】

そこで、各画素に設けられているスイッチング用 T F T 4 1 を線順次にオン状態となるよう駆動することで、各々の画素容量 4 3 に蓄積されている電荷量を、データライン 2 3 を介して読み出すことができる。この結果、各画素容量 4 3 の電荷量の面分布情報を得ることができ、これよりセンサ基板 4 0 に入射した光による画像の面分布情報を得ることができる。

【0168】

上記画像の面分布情報は、上記読出し回路 5 2 を構成する検出 I C 2 5 によって行なわれる。

【0169】

上記検出 I C 2 5 は、図 2 2 に示すように、内部に、積分アンプ 3 3、ローパスフィルタ 3 4、増幅アンプ 3 5、サンプルホールド回路 3 6 等を、該検出 I C 2 5 が検出するライン数分 (例えば数百ライン) 備え、サンプルホールド回路 3 6 の後段に、アナログマルチプレクサ 3 7 と、A/D (アナログ/デジタル) 変換回路 3 8 とを、1 つずつ備えている。

【0170】

また、この検出 IC 25では、各構成回路のオフセット及びノイズを除去するために、二重相関サンプリングを行うようになっている。

【0171】

このような構成の検出 IC 25において、データライン 23 を通って検出 IC 25 に入力した画素容量 17 の電荷は、まず、負入力として積分アンプ 33 に入力され、これにて、積分アンプ 33 からは、入力した電荷に比例した電位が出力される。また、積分アンプ 33 の正入力には、基準電圧 (Vref) 32 が接続されている。

【0172】

上記積分アンプ 33 の出力は、ノイズを低減するために設けられたローパスフィルタ 34 を通って増幅アンプ 35 に入力し、所定倍に増幅されて出力される。

【0173】

そして、増幅アンプ 35 の出力は、サンプルホールド回路 36 に入力して一旦保持され、保持された値は、アナログマルチプレクサ 37 の複数入力の 1 入力に出力される。

【0174】

アナログマルチプレクサ 37 の出力は、次段の A/D 変換回路 38 に入力され、該 A/D 変換回路 38 にて、アナログデータからデジタルデータに変換され、画像データとして、コントロール・通信基板 24 に出力される。

【0175】

また、上記積分アンプ 33 には、リセットスイッチ 30 が設けられており、該リセットスイッチ 30 は、検出 IC 25 のコントロール部 31 の出力により制御される。このコントロール部 31 は、検出 IC 25 の制御、及び検出プリント基板 26 とのインターフェイスを行うものである。

【0176】

ここで、上記構成の光検出用 TFT 42 は、前記実施の形態 1 の光検出用 TFT 7 と同様に駆動される。

【0177】

すなわち、上記の光検出用TFT42は、バックライトユニット18からの照射光2が原稿1に反射して、感光性を有する半導体層（図示せず）に照射される。ここで、光検出用TFT42は、該光検出用TFT42の抵抗値の特性が変化するので、通常、オフ状態となるような極性の電圧が印加されるようにし、1フレームに1回の割合で逆極性の電圧（補償信号）を所定の期間印加されるようになっている。この詳細について、以下に説明する。

【0178】

上記構成の二次元イメージセンサの動作について、図23～図27を参照しながら以下に説明する。図23は、図21に示した2トランジスタ方式（スイッチング用TFTと光検出用TFTが画素毎に別々に設けられている方式）の二次元イメージセンサにおいて、補償信号を印加しない場合のタイミングチャートを示す。図23では、光検出用TFTは、常にオフ状態となるよう、 V_{ss} にはDCバイアスが印加されている。

【0179】

上記のようなタイミングチャートで駆動した場合、光検出用TFTは短時間で抵抗値が変動し、読み取り精度を低下させるという問題が生じる。

【0180】

そこで、図24に示すようなシーケンスで二次元イメージセンサを駆動することが考えられる。つまり、TFTの特性を抑制するために、補償信号を印加するシーケンス採用することが考えられる。

【0181】

図24では、基本的な概念が図11に示した1トランジスタ方式の二次元イメージスキャナの場合と同じで、スキャン期間を、スキャンAとスキャンCに分割し、このスキャンAとスキャンCとの間に、光検出用TFTのゲート電極に補償バイアスを印加するための期間であるスキャンCを設けている。

【0182】

上記スキャンAは、「データ検出」を司るスキャンであり、図25に示すタイミングチャートによって駆動される期間である。

【0183】

上記スキャンCは、「Csのプリ充電」を司るスキャンであり、図27に示すタイミングチャートによって駆動される期間である。

【0184】

一方、スキャンBは、TFTのゲート電極に、補償バイアスを印加するために追加した補償信号のスキャンであり、図27に示すタイミングチャートによって駆動される期間である。即ち、スキャンBでは、TFTのゲート電極に対して、所定の期間、意図的に正バイアスを印加するための補償パルス（補償信号）を印加している。

【0185】

但し、今回の場合は、図21を見て判るように、光検出用TFTのゲート電極が全て短絡されているために、全画素の光検出用TFTのゲートに同時に補償信号を入力するため、いわゆるスキャンを行なう必要ない。この場合でも、光検出用TFTのゲート電極に印加される信号を調整し（即ち、補償パルスを導入し）、 $T_{on}/T_{off}=3/100\sim 3/10$ となるように適宜補償パルスの印加条件を設定することで、本願の効果を得ることが可能になる。

【0186】

以上のように、前記実施の形態1で示した1トランジスタ方式の二次元イメージセンサにおいても、前記実施の形態2で示した2トランジスタ方式の二次元イメージセンサにおいても、補償信号を印加することで、光検出用TFTの抵抗値の短期変動を抑制することが可能になり、それを用いた画像読み取り装置としての二次元イメージセンサの操作性や信頼性を向上させることが可能になる。また、画像の読み取りに影響しない期間に補償信号を追加できるために有効である。

【0187】

本発明は上述した各実施形態に限定されるものではなく、請求項に示した範囲で種々の変更が可能であり、異なる実施形態にそれぞれ開示された技術的手段を適宜組み合わせて得られる実施形態についても本発明の技術的範囲に含まれる。

【0188】

【発明の効果】

本発明の画像読み取り装置は、以上のように、光応答性を有する薄膜トランジ

スタを光検出素子として利用する画像読み取り装置において、上記薄膜トランジスタのゲート電極に電圧を印加して、該薄膜トランジスタをオン状態あるいはオフ状態に駆動する駆動手段を備え、上記駆動手段は、任意の期間、上記ゲート電極に対して、上記薄膜トランジスタをオフ状態にする電圧の平均の極性とは逆極性の電圧を印加する構成である。

【0189】

それゆえ、任意の期間、ゲート電極に対して、上記薄膜トランジスタをオフ状態にする電圧の平均の極性とは逆極性の電圧を印加することで、薄膜トランジスタをオフ状態にする電圧がゲート電極に印加され続けた場合に生じる不具合、すなわち薄膜トランジスタの抵抗値の短期変動を抑制することができる。

【0190】

このように、光検出素子として使用する薄膜トランジスタの抵抗値の短期変動を抑制することで、該薄膜トランジスタの感度や、階調特性に対する補正データを取得するために行なわれるキャリブレーション操作で取得した補正データを適切に補正することができる。

【0191】

このときの補正データとしては、装置の電源投入直後に行なわれるキャリブレーション操作で取得した最初の補正データを使用することができるので、従来のように、頻繁にキャリブレーション操作を行なう必要がなくなる。

【0192】

さらに、薄膜トランジスタの抵抗値の短期変動の影響が蓄積されていくことがないので、復元し難い大きな変動になってしまう虞がなくなり、長期的な信頼性を得ることができる。

【0193】

したがって、長期的に安定した画像読み取りを行なうことが可能となり、この結果、画像読み取り装置の操作性や信頼性が向上するといった効果を奏する。

【0194】

上記の任意の期間としては、画像読み取りに影響を与えないように、画像読み取りを行なわない期間であることが好ましい。

【0195】

通常、光検出用に薄膜トランジスタを使用する場合、光検出精度を考慮すれば、該薄膜トランジスタの抵抗値の短期変動は、少なくとも10%以内に抑制する必要がある。

【0196】

そこで、薄膜トランジスタの抵抗値の短期変動を10%以内に抑制するには、以下のようにすればよい。

【0197】

上記任意の期間において電圧を印加する時間を、上記薄膜トランジスタの明電流の相対変化を示す比が0.9～1.1の範囲に入るように設定するようにすればよい。

【0198】

また、上記の任意の期間を、上記薄膜トランジスタが駆動している全期間の3%～30%の期間にすればよい。

【0199】

さらに、画像を任意の周期で連続して読み取る場合、該周期を0.1Hz～10Hzにすればよい。

【0200】

また、上記光検出素子は、画素を選択するための画素選択素子と光検出素子とを兼ねていてもよい。

【0201】

この場合、構造が簡単で高精細な画像読み取り装置を実現できると共に、装置の操作性や信頼性を向上させることができるという効果を奏する。

【0202】

さらに、上記任意の期間にゲート電極に印加する電圧の電位が、上記薄膜トランジスタがオン状態となる電圧の電位と等しくなるように設定されていてもよい。

【0203】

この場合、薄膜トランジスタをオンさせる時と、補償信号となる電圧を印加す

るときの電位を共通化できるので、ゲート電極に印加する電圧を共通にすることができる。

【0204】

したがって、電圧を複雑に切り替える構成が必要なくなるので、ゲート電極を駆動するためのドライバの構成を簡略化でき、この結果、装置の小型化や省電力化を図ることが可能となるという効果を奏する。

【0205】

本発明の画像読み取り方法は、以上のように、光応答性を有する薄膜トランジスタと該薄膜トランジスタに接続された蓄積容量とを有する光電変換素子による光電変換量を検出することにより原稿画像を読み取る画像読み取り方法において、上記蓄積容量に電荷を所定量充電する第1のステップと、上記蓄積容量への電荷の充電完了後に、上記薄膜トランジスタをオフ状態にして該薄膜トランジスタへの光照射により上記蓄積容量に充電された電荷を放電する第2のステップと、上記電荷の放電後に上記蓄積容量の残存電荷量を求めて、上記光電変換素子の光電変換量を検出する第3のステップとの3つのステップを画像読み取りの1周期としたとき、上記第3のステップから次の周期の第1のステップに移行する期間内に、上記薄膜トランジスタのゲート電極に対して、該薄膜トランジスタをオフ状態にする電圧の平均の極性とは逆極性の電圧を印加する第4のステップを実行する構成である。

【0206】

それゆえ、薄膜トランジスタのゲート電極に対して、該薄膜トランジスタをオフ状態にする電圧の平均の極性とは逆極性の電圧を印加することで、薄膜トランジスタをオフ状態にする電圧がゲート電極に印加され続けた場合に生じる不具合、すなわち薄膜トランジスタの抵抗値の短期変動を抑制することができる。

【0207】

このように、光検出素子として使用する薄膜トランジスタの抵抗値の短期変動を抑制することで、該薄膜トランジスタの感度や、階調特性に対する補正データを取得するために行なわれるキャリブレーション操作で取得した補正データを適切に補正することができる。

【0208】

このときの補正データとしては、装置の電源投入直後に行なわれるキャリブレーション操作で取得した最初の補正データを使用することができるので、従来のように、頻繁にキャリブレーション操作を行なう必要がなくなる。

【0209】

さらに、薄膜トランジスタの抵抗値の短期変動の影響が蓄積されていくことがないので、復元し難い大きな変動になってしまう虞がなくなり、長期的な信頼性を得ることができる。

【0210】

したがって、長期的に安定した画像読み取りを行なうことが可能となり、この結果、画像読み取り装置の操作性や信頼性が向上するといった効果を奏する。

【0211】

しかも、画像読み取りのための第1ステップから第3のステップで構成される周期の間、すなわち、第3のステップから次の周期の第1のステップに移行する期間内に、上記逆極性の電圧が印加されるようになるので、画像読み取りに影響を与えることがない。

【0212】

したがって、連続して画像を読み取る場合であっても、画像読み取りに悪影響を与えずに、安定した画像読み取りを行なうことが可能となり、この結果、画像読み取り装置の操作性や信頼性が向上するといった効果を奏する。

【0213】

上記第4のステップは、複数周期に1回の割合で実行されるようにしてもよい。

【0214】

この場合、第4のステップを実行しない第3のステップから次の周期の第1のステップまでの期間を短くすることができるので、連続して画像読み取る場合に、第4のステップを実行するまでの間、読み取った画像に連続性を持たせることが可能となる。これにより、読み取った画像を、連続性を持たせて表示することができるという効果を奏する。

【0215】

上述のように、光検出用に薄膜トランジスタを使用する場合、光検出精度を考慮すれば、該薄膜トランジスタの抵抗値の短期変動は、少なくとも10%以内に抑制する必要がある。

【0216】

そこで、薄膜トランジスタの抵抗値の短期変動を10%以内に抑制するには、以下のようにすればよい。

【0217】

上記第4のステップにおいてゲート電極に電圧を印加する時間を、上記薄膜トランジスタの明電流の相対変化を示す比が0.9～1.1の範囲に入るように設定するようにすればよい。

【0218】

また、上記第4のステップを、上記薄膜トランジスタが駆動している全期間の3%～30%の期間に実行すればよい。

【0219】

さらに、上記周期を0.1Hz～10Hzにすればよい。

【0220】

また、上記薄膜トランジスタは、画素選択素子と光検出素子とを兼ねていてもよい。

【0221】

この場合、構造が簡単で高精細な画像読み取り装置を実現できると共に、装置の操作性や信頼性を向上させることができるという効果を奏する。

【0222】

さらに、上記任意の期間にゲート電極に印加する電圧の電位が、上記薄膜トランジスタがオン状態となる電圧の電位と等しくなるように設定されていてもよい。

【0223】

この場合、薄膜トランジスタをオンさせる時と、補償信号となる電圧を印加するときの電位を共通化できるので、ゲート電極に印加する電圧を共通にすること

ができる。

【0224】

したがって、電圧を複雑に切り替える構成が必要なくなるので、ゲート電極を駆動するためのドライバの構成を簡略化でき、この結果、装置の小型化や省電力化を図ることが可能となるという効果を奏する。

【0225】

また、上記第4のステップにおいてゲート電極に電圧を、次サイクルの第1のステップにおける蓄積容量に電荷を所定量充電する期間に印加するようにしてもよい。

【0226】

この場合、第4のステップを実行するための期間を設ける必要がないので、第3のステップから次の周期の第1のステップまでの期間を短くすることができる。

【0227】

これにより、画像を連続して読み取る場合に、読み取り速度を向上させることができ、装置の操作性の向上を図ることが可能となるという効果を奏する。

【図面の簡単な説明】

【図1】

本発明の一実施の形態にかかる画像読み取り装置の概略構成ブロック図である。

【図2】

図1に示す画像読み取り装置を備えた二次元イメージセンサの概略構成ブロック図である。

【図3】

図1に示す画像読み取り装置の概略構成断面図である。

【図4】

図2に示す二次元イメージセンサに備えられたセンサ基板の概略ブロック図である。

【図5】

図 1 に示す画像読み取り装置の動作の流れを示すフローチャートである。

【図 6】

図 2 に示す二次元イメージセンサの等価回路図である。

【図 7】

図 1 に示す画像読み取り装置における読み出し動作のタイミングチャートである。

【図 8】

図 1 に示す画像読み取り装置における読み出し動作のシーケンスを示す図である。

【図 9】

図 8 に示すシーケンスのスキヤンのタイミングチャートを示す。

【図 10】

図 2 に示す二次元イメージセンサの他の等価回路図である。

【図 11】

図 1 に示す画像読み取り装置における読み出し動作の補償駆動を示すシーケンスを示す図である。

【図 12】

図 11 に示すシーケンスのスキヤン A のタイミングチャートである。

【図 13】

図 11 に示すシーケンスのスキヤン B のタイミングチャートである。

【図 14】

図 11 に示すシーケンスのスキヤン C のタイミングチャートである。

【図 15】

図 1 に示す画像読み取り装置における読み出し動作の他の補償駆動を示すシーケンスを示す図である。

【図 16】

図 1 に示す画像読み取り装置における読み出し動作のさらに他の補償駆動を示すシーケンスを示す図である。

【図 17】

図 16 に示すシーケンスのスキュン A のタイミングチャートである。

【図 18】

図 16 に示すシーケンスのスキュン A+B のタイミングチャートである。

【図 19】

図 1 に示す画像読み取り装置における読み出し動作のさらに他の補償駆動を示すシーケンスを示す図である。

【図 20】

図 1 に示す画像読み取り装置における読み出し動作のさらに他の補償駆動を示すシーケンスを示す図である。

【図 21】

本発明の他の実施の形態にかかる画像読み取り装置を備えた二次元イメージセンサのセンサ基板の概略構成ブロック図である。

【図 22】

上記二次元イメージセンサに備えられた画像読み取り装置の概略構成ブロック図である。

【図 23】

図 22 に示す画像読み取り装置における読み出し動作のタイミングチャートである。

【図 24】

図 22 に示す画像読み取り装置における読み出し動作の補償駆動を示すシーケンスを示す図である。

【図 25】

図 24 に示すシーケンスのスキュン A のタイミングチャートである。

【図 26】

図 24 に示すシーケンスのスキュン B のタイミングチャートである。

【図 27】

図 24 に示すシーケンスのスキュン C のタイミングチャートである。

【図 28】

補償信号を入力するタイミングを示すタイミングチャートである。

【図 29】

補償信号期間と T F T の特性変動に伴う I photo の相対変化との関係を示すグラフである。

【図 30】

図 29 に示すグラフを導き出すのに使用された T F T の概略断面図である。

【図 31】

フレーム周波数と T F T の特性変動に伴う I photo の相対変化との関係を示すグラフである。

【図 32】

T F T におけるゲート電流とソースドレイン間電流における光照射に対する特性を示すグラフである。

【図 33】

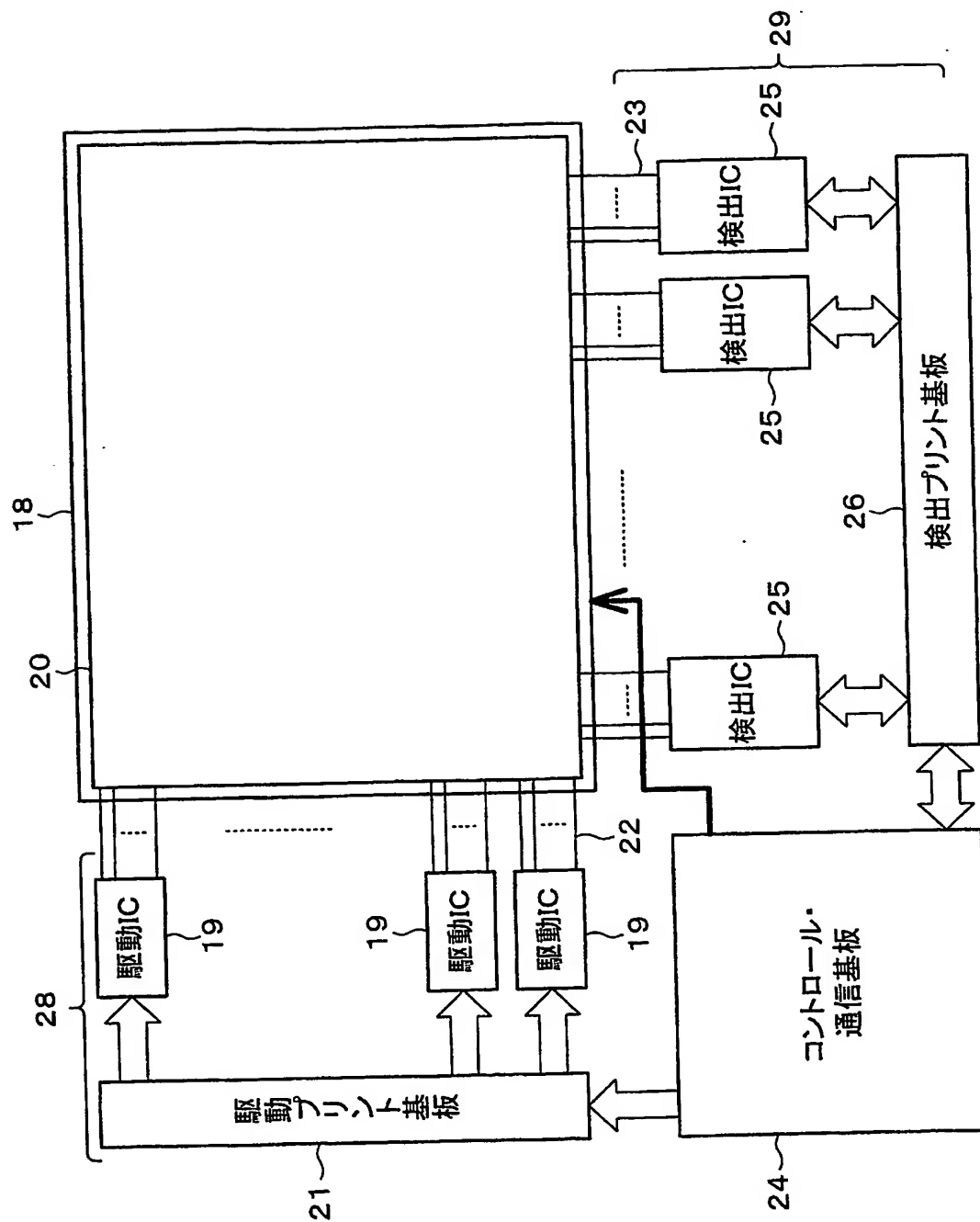
T F T 単体のプロ部即的による T F T 抵抗値の経時変化を示すグラフである。

【符号の説明】

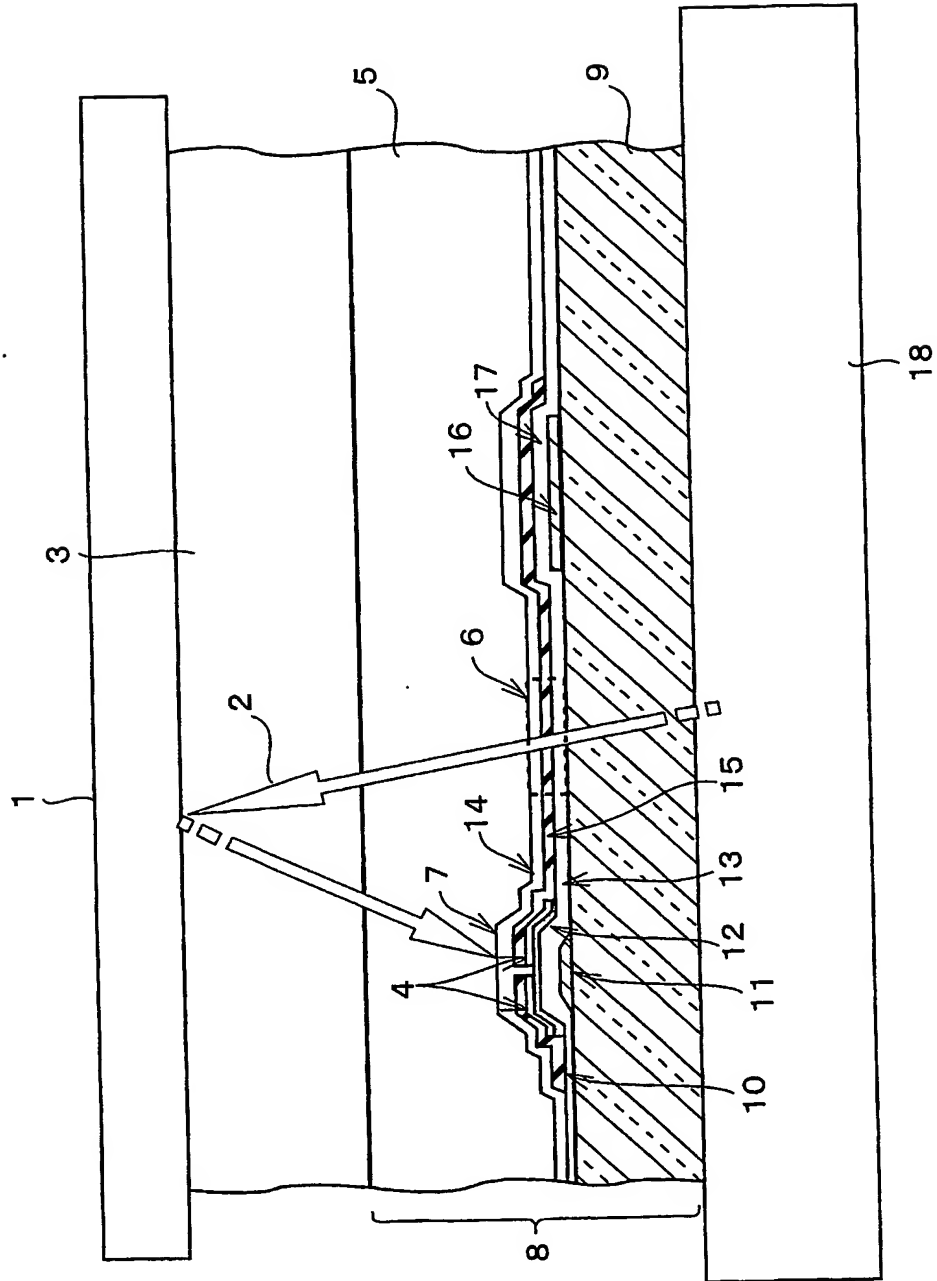
- 1 原稿
- 2 照射光
- 4 シリコン層
- 6 開口部
- 7 光検出用 T F T (薄膜トランジスタ)
- 9 絶縁性基板
- 10 ソース電極
- 11 ボトムゲート電極
- 12 半導体層
- 13 ボトムゲート絶縁膜
- 14 ゲート絶縁膜
- 15 ドレイン電極
- 17 画素容量 (蓄積容量)
- 18 バックライトユニット
- 19 駆動 I C (駆動手段)

- 20 センサ基板 (光電変換素子)
- 21 駆動プリント基板
- 22 ゲートライン
- 23 データライン
- 24 コントロール・通信基板
- 26 検出プリント基板
- 28 駆動回路
- 29 検出回路
- 30 リセットスイッチ
- 31 コントロール部
- 32 基準電圧
- 33 積分アンプ
- 34 ローパスフィルタ
- 35 増幅アンプ
- 36 サンプルホールド回路
- 37 アナログマルチプレクサ
- 38 A/D変換回路
- 40 センサ基板
- 41 スイッチング用TFT (薄膜トランジスタ)
- 42 光検出用TFT (薄膜トランジスタ)
- 43 画素容量 (蓄積容量)
- 51 駆動回路
- 52 読出し回路
- 53 容量配線

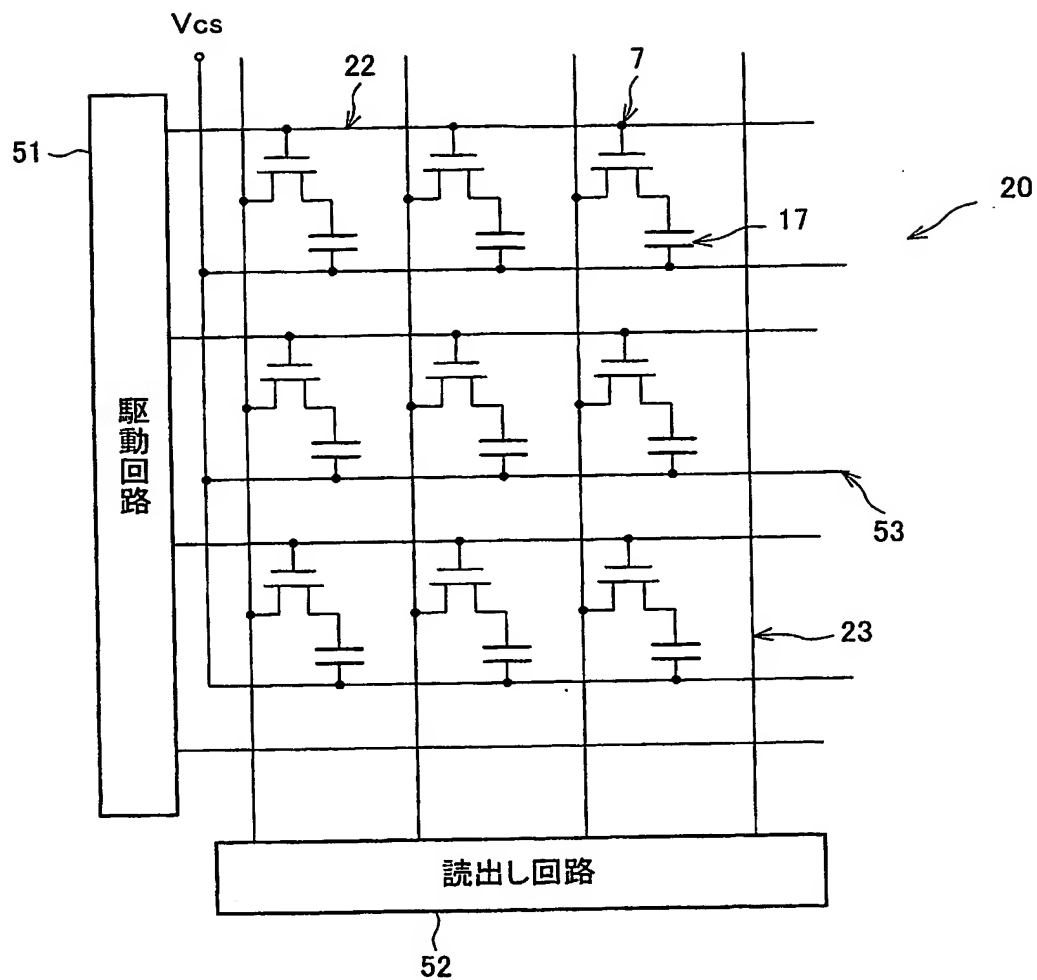
【図 2】



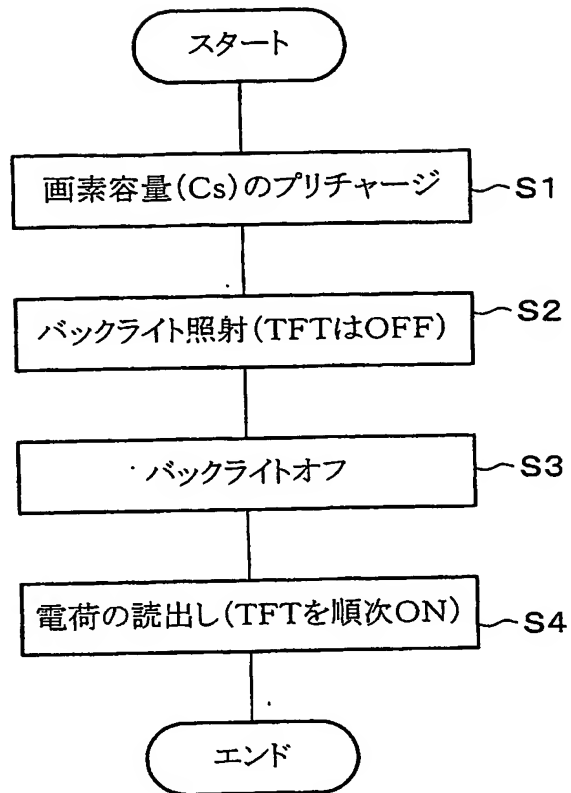
【図3】



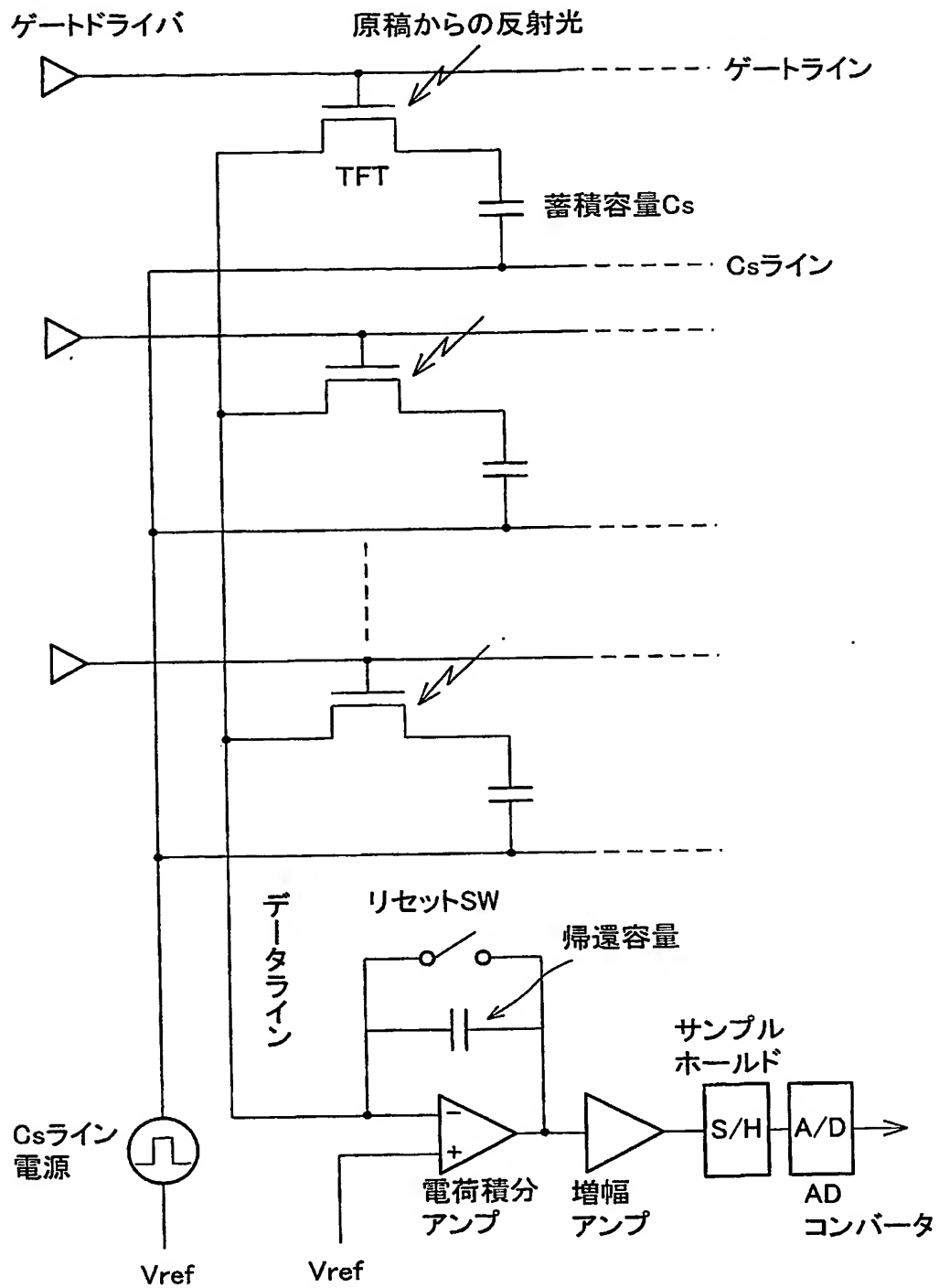
【図 4】



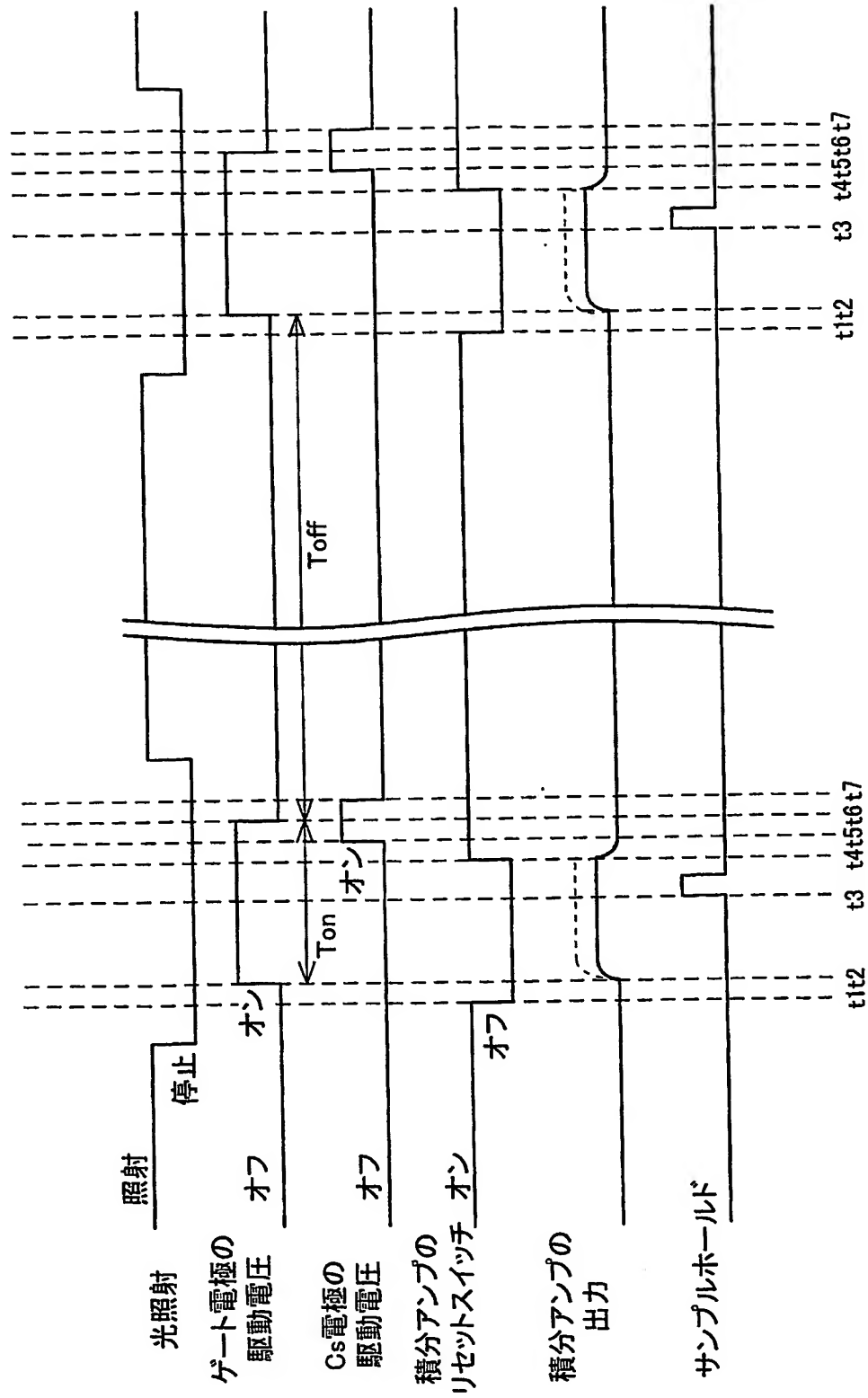
【図 5】



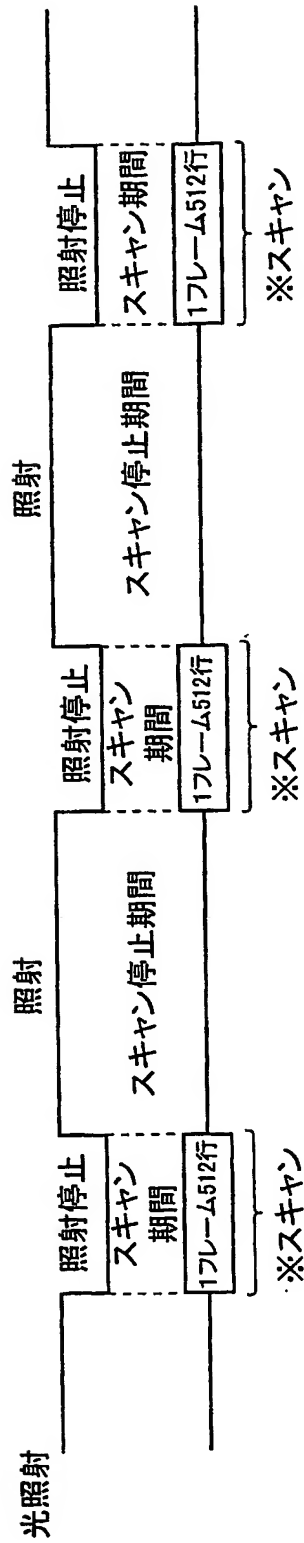
【図 6】



【図 7】

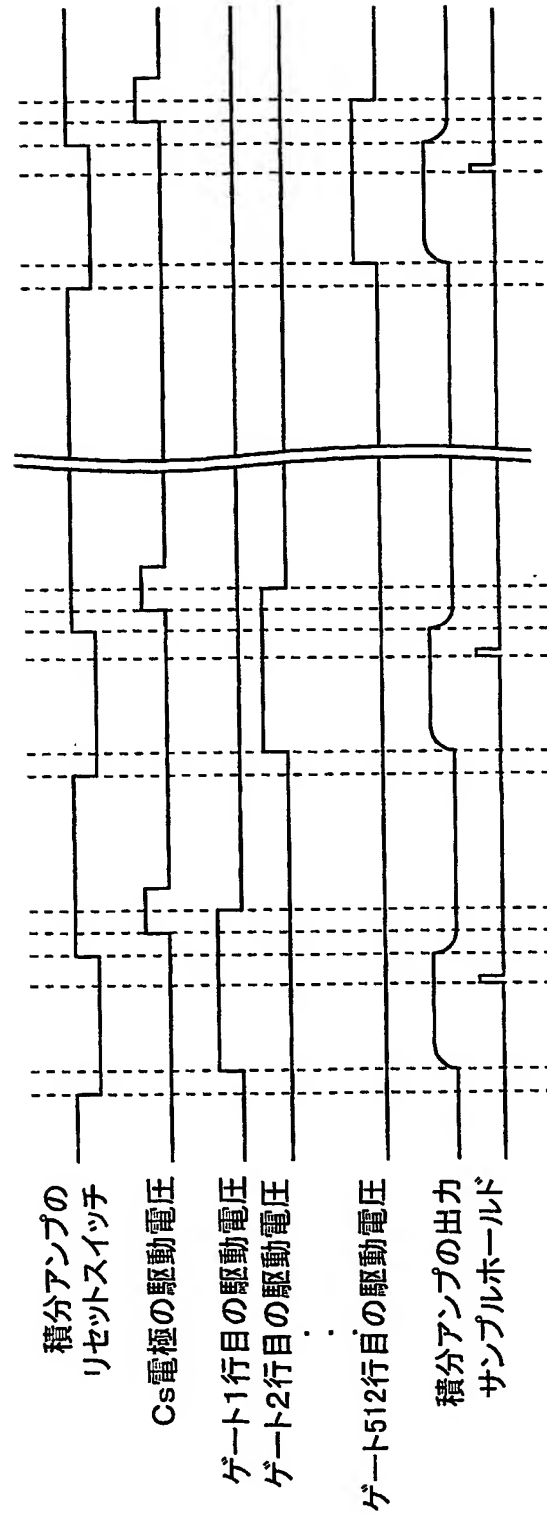


【図 8】

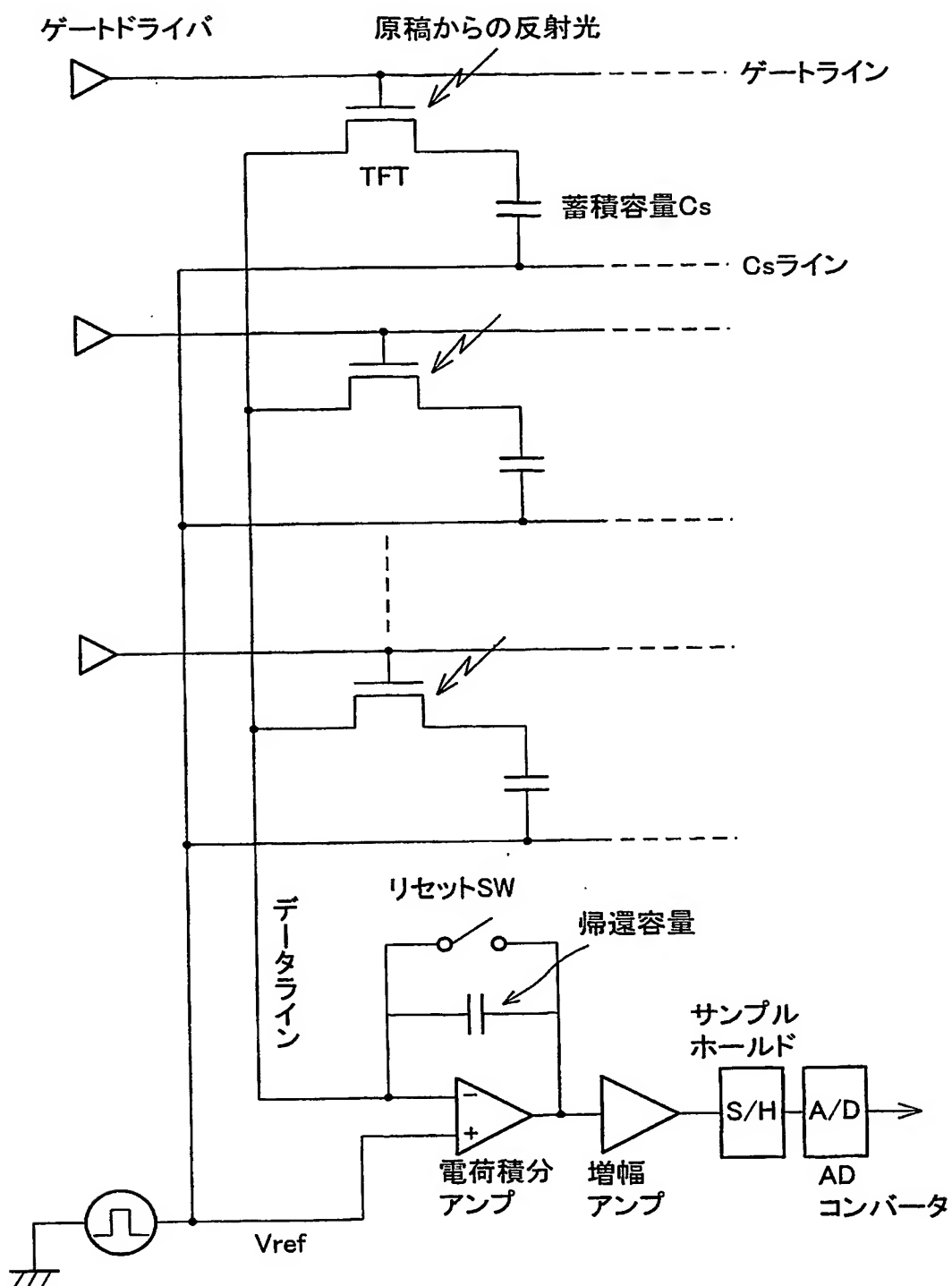


【図9】

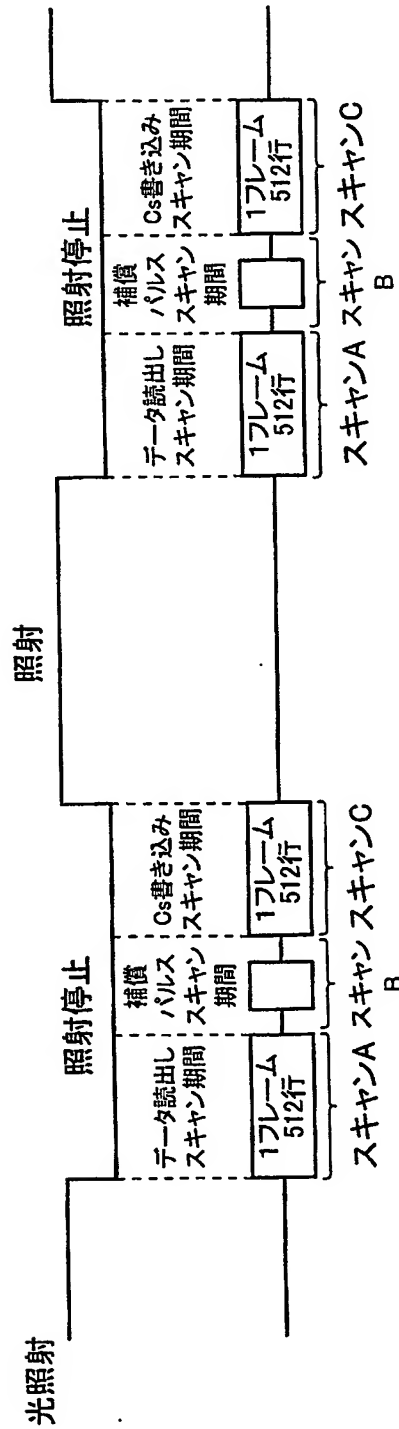
スキミング※のタイミングチャート



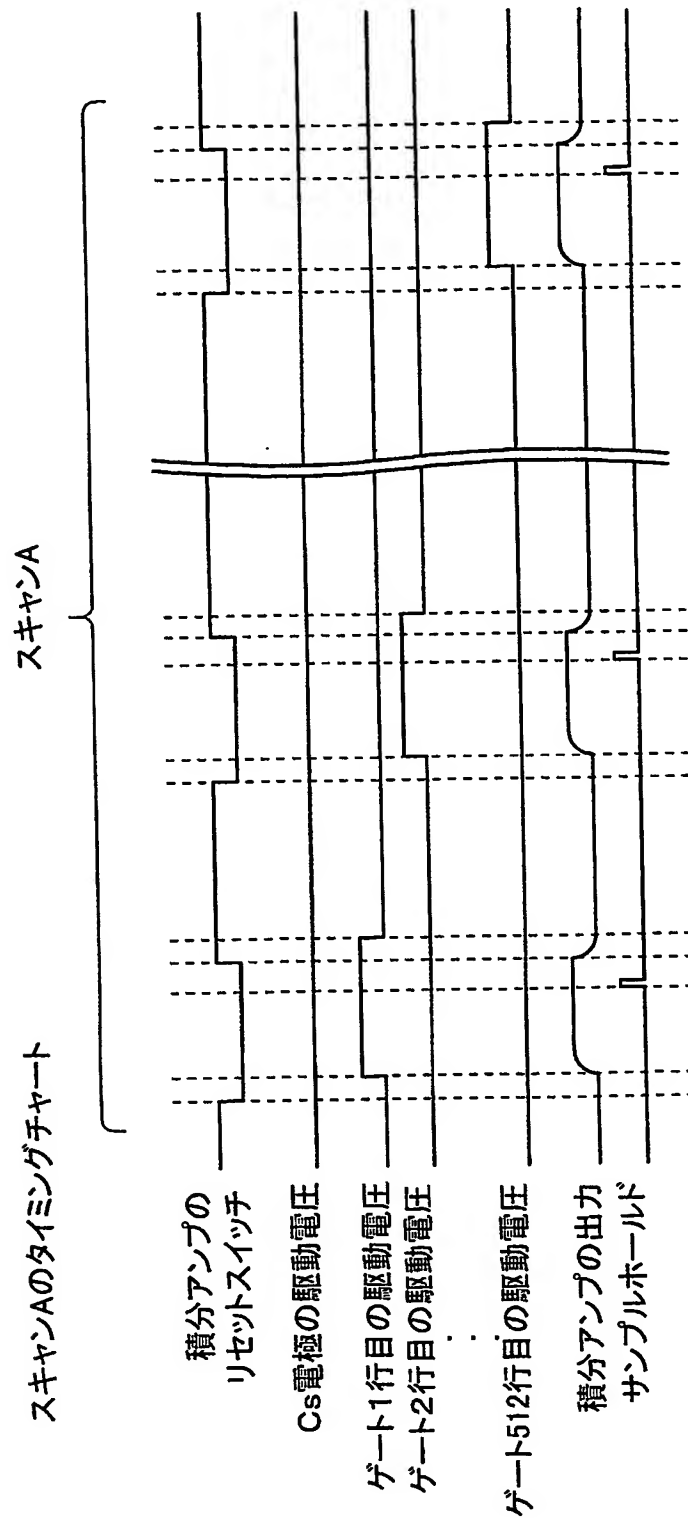
【図10】



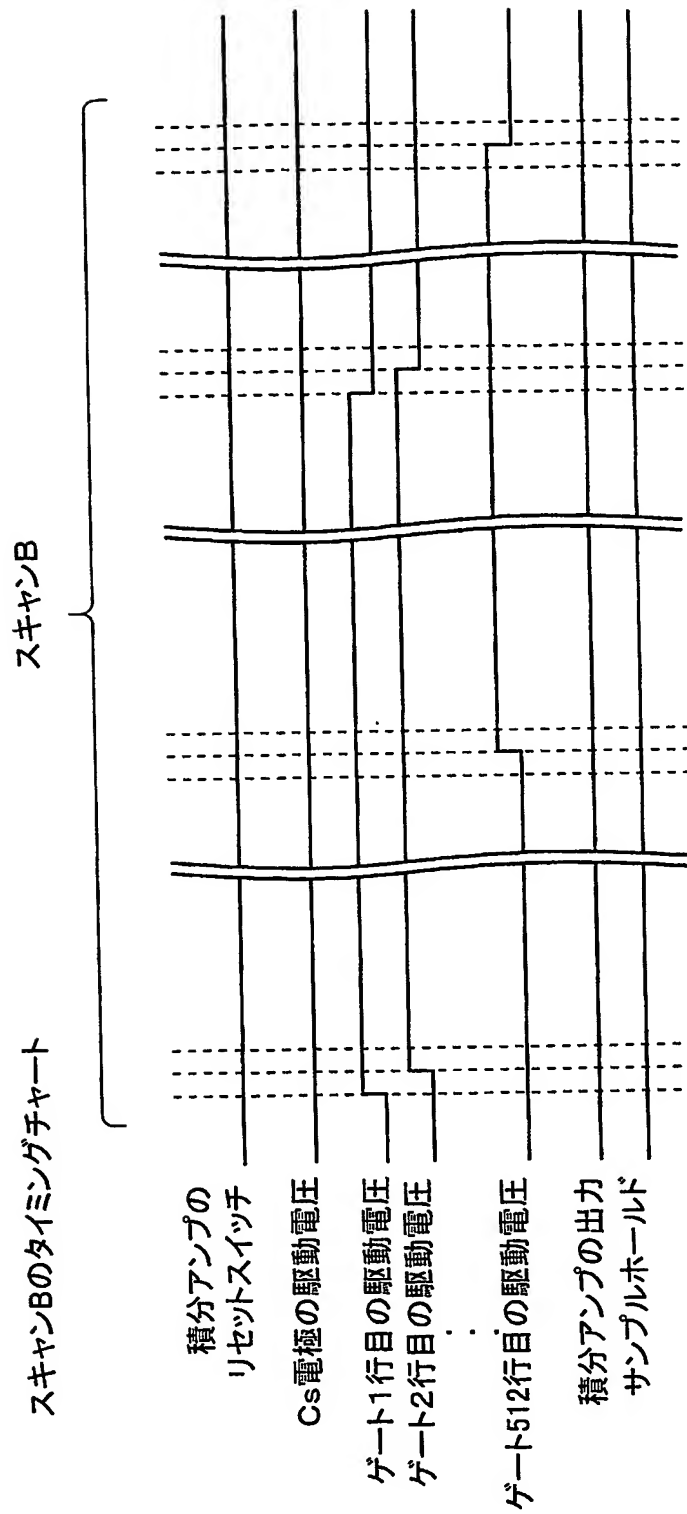
【図 11】



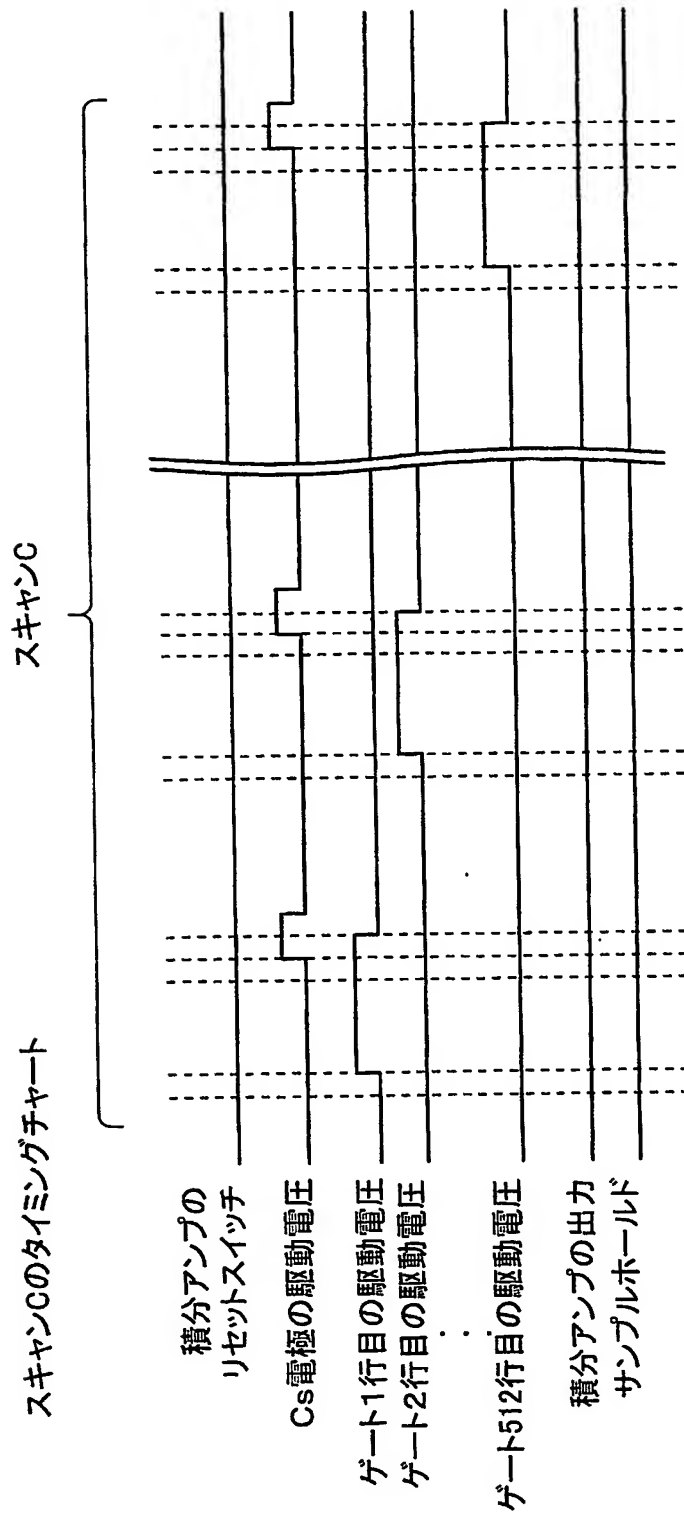
【図 12】



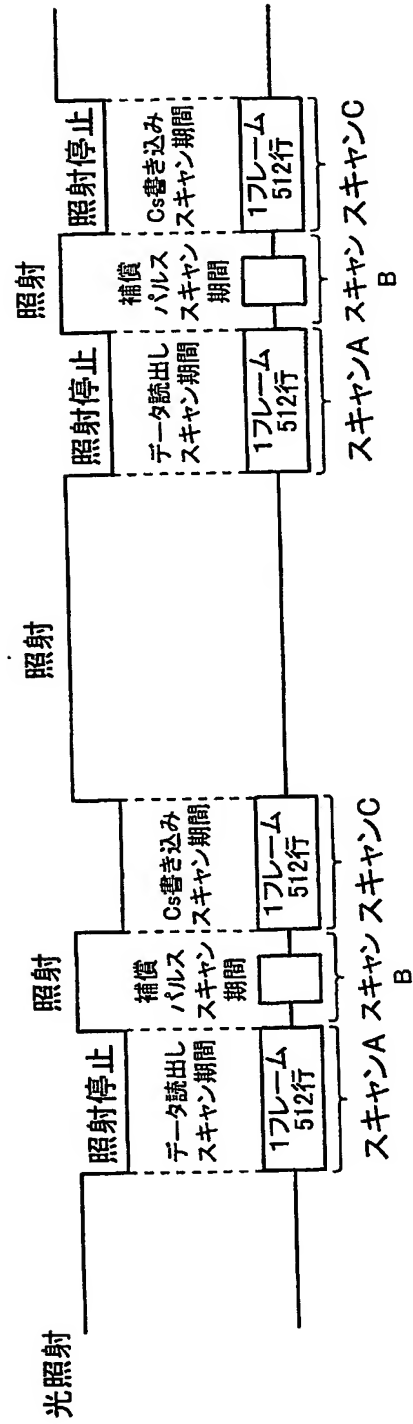
【図13】



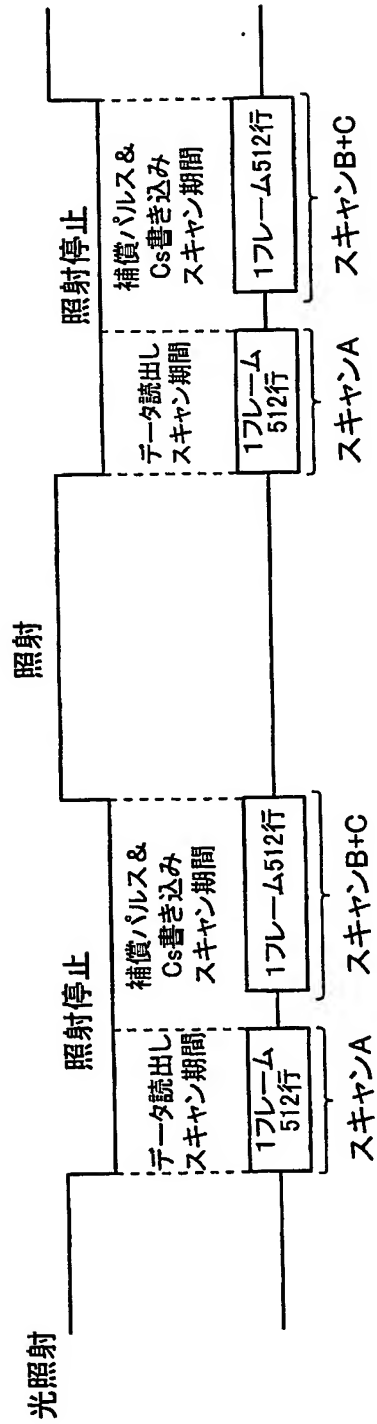
【図14】



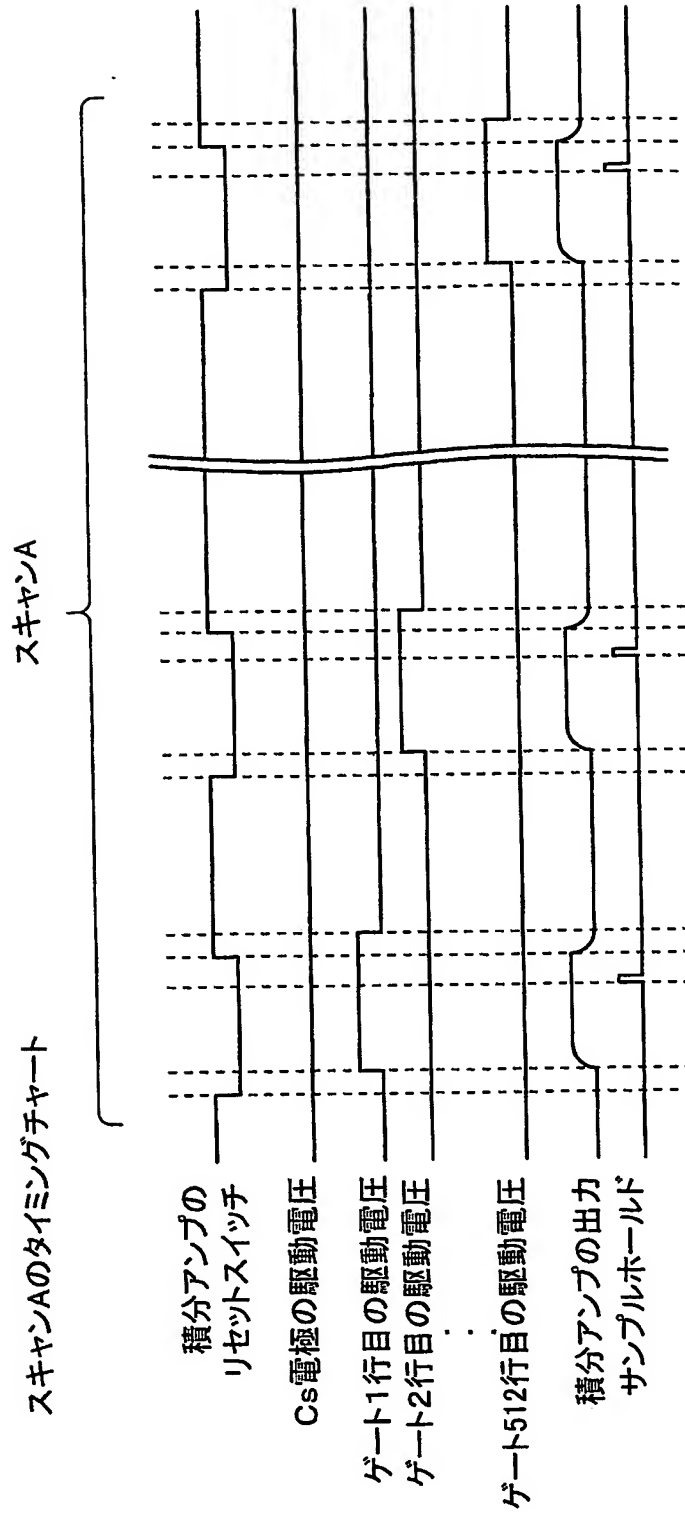
【図 15】



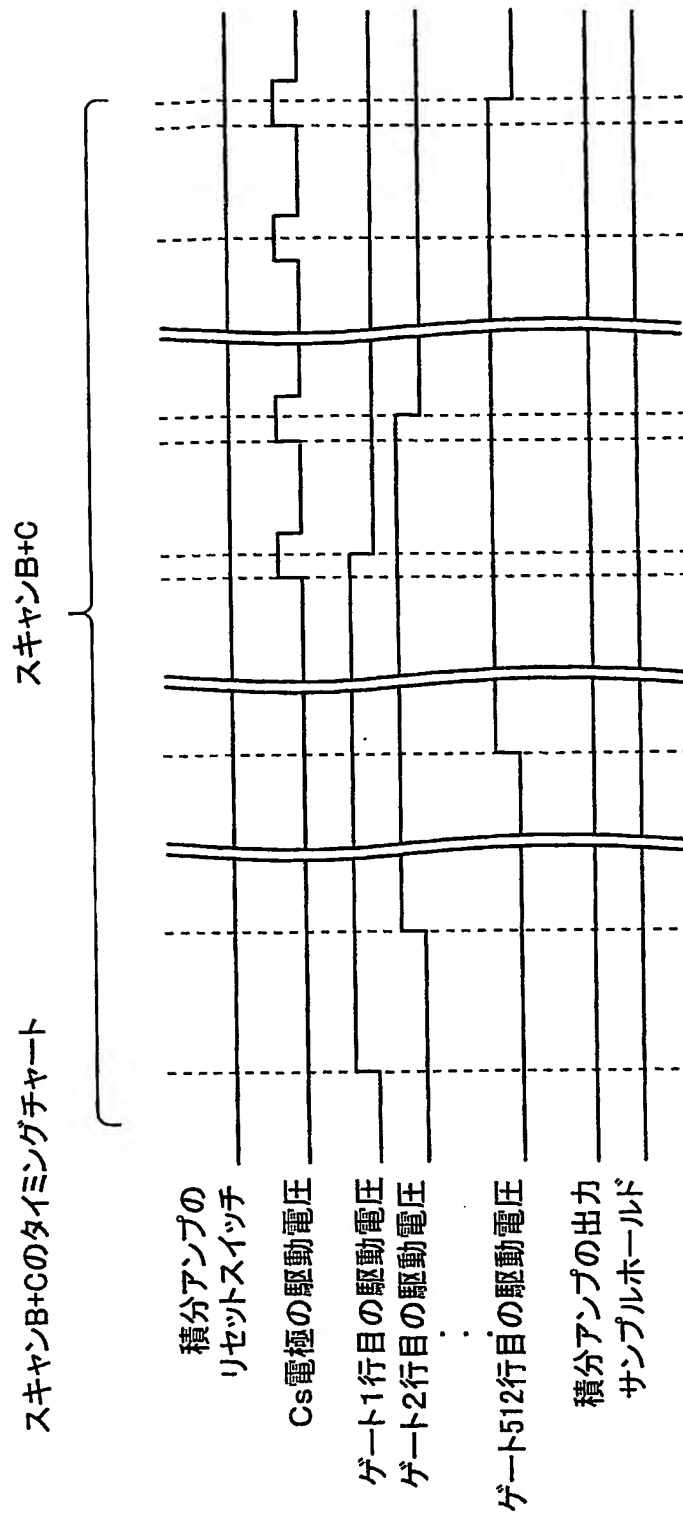
【図 16】



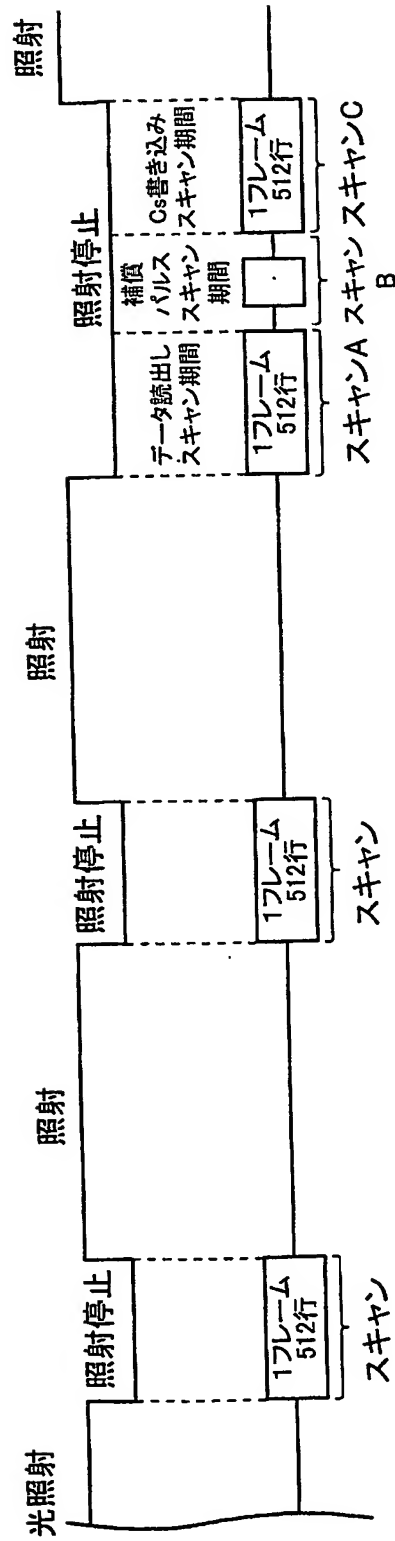
【図17】



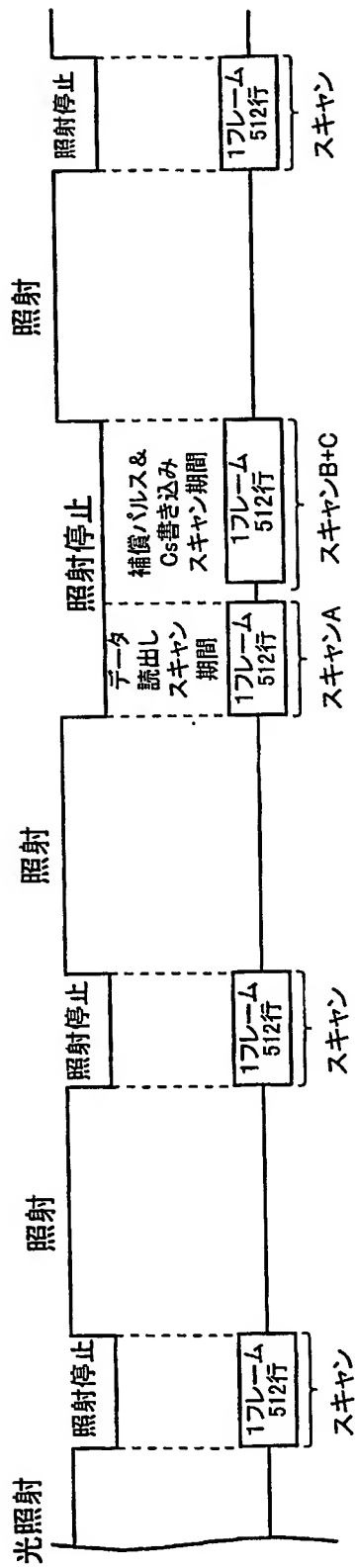
【図18】



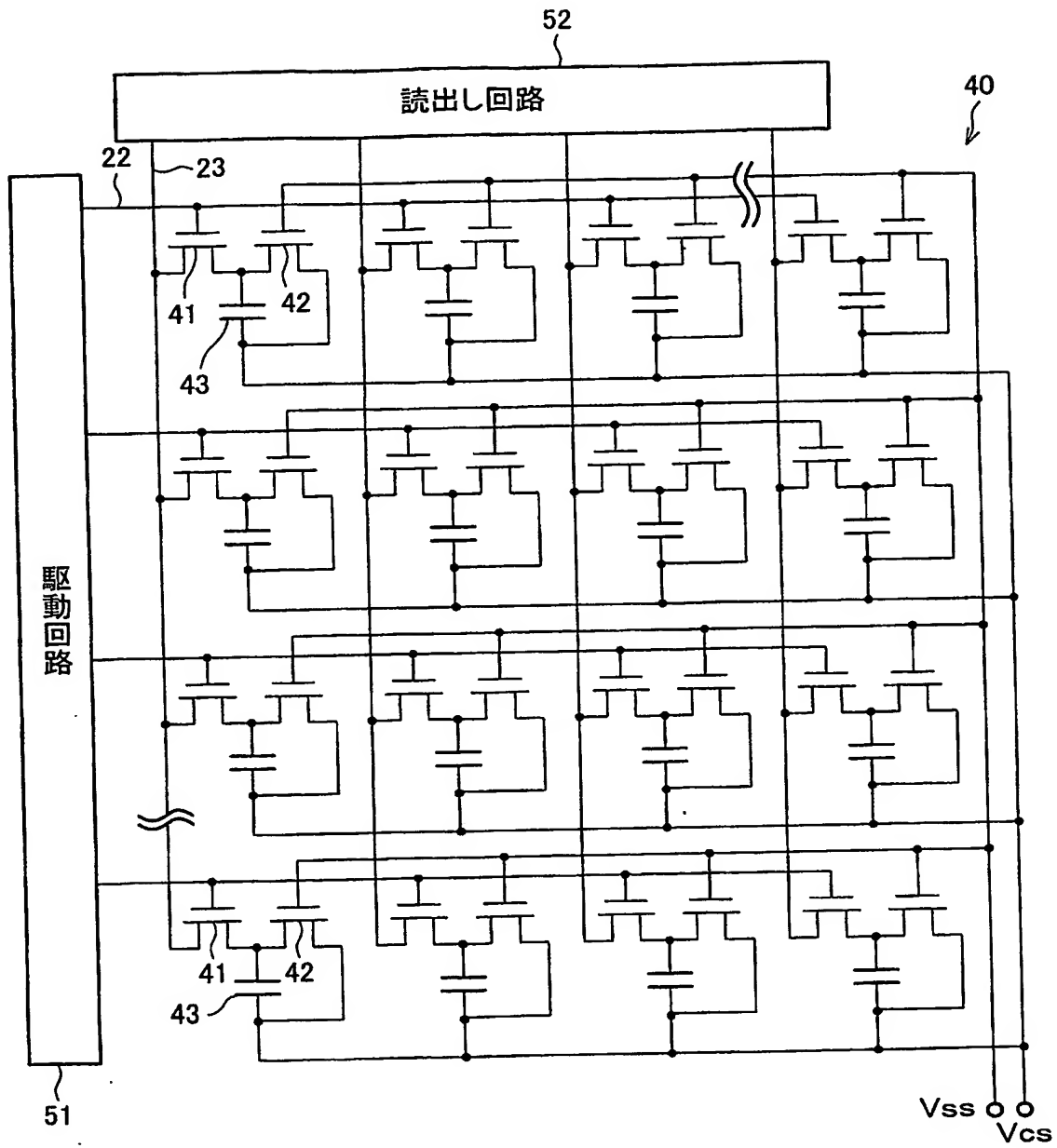
【図 19】



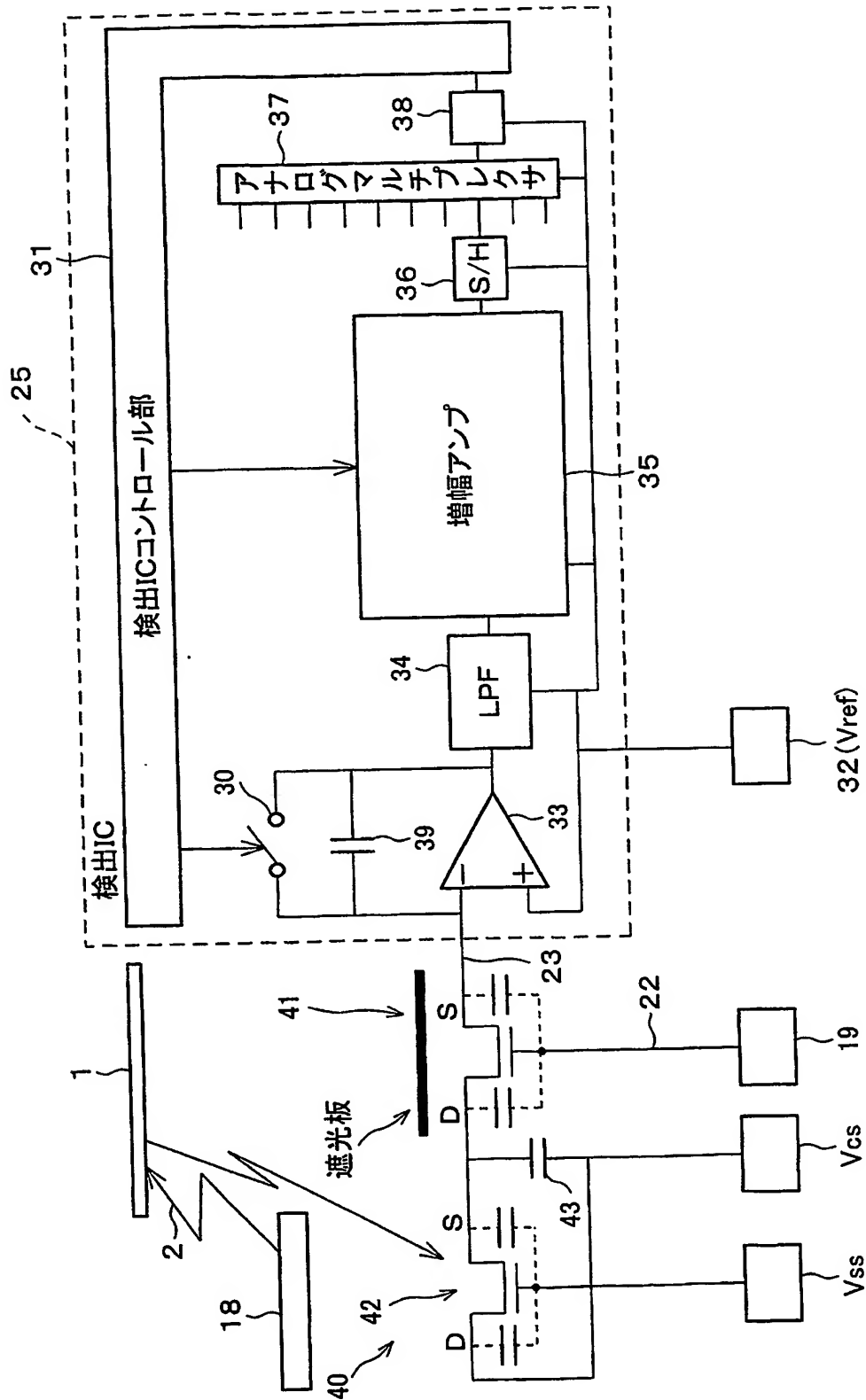
【図 20】



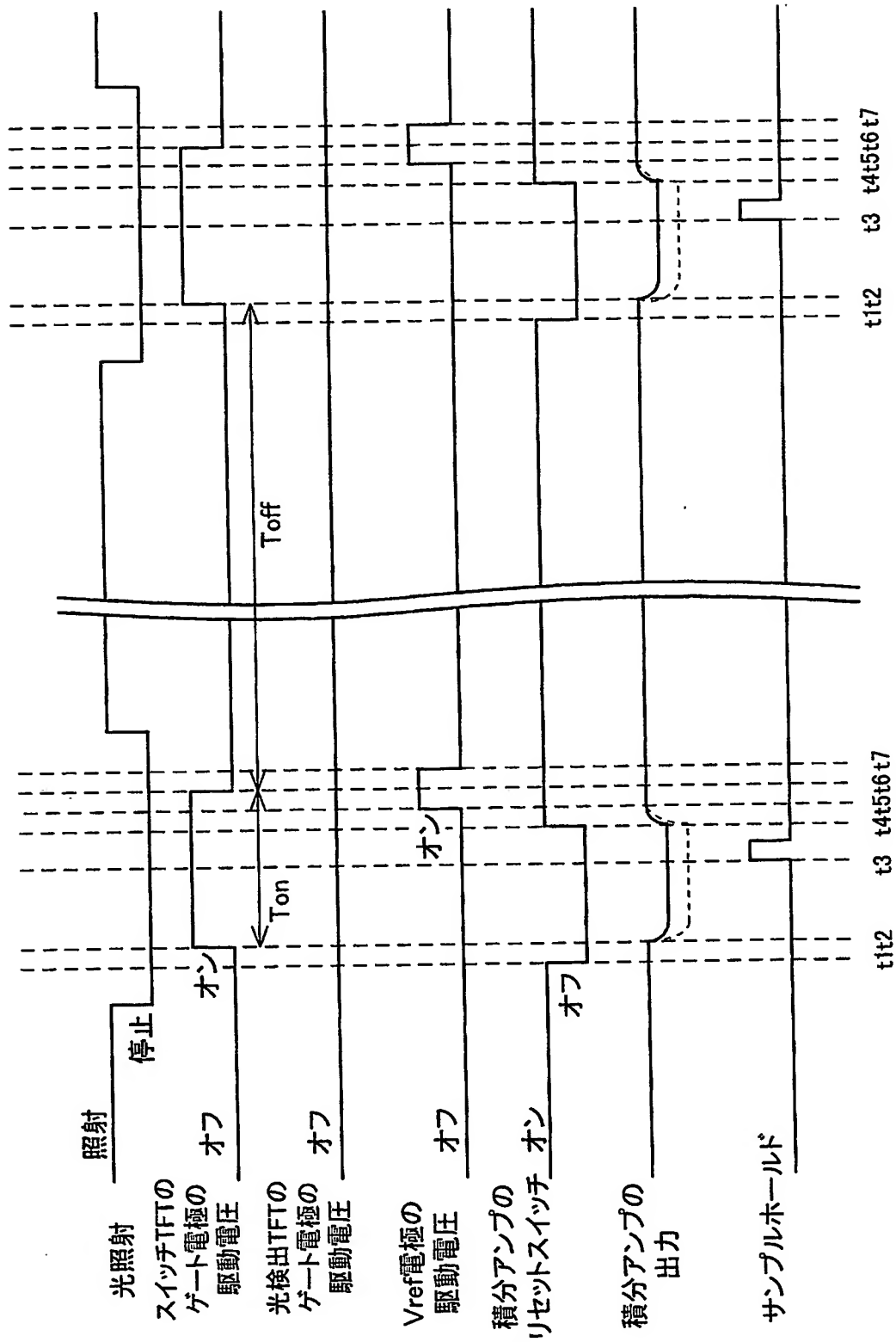
【図 21】



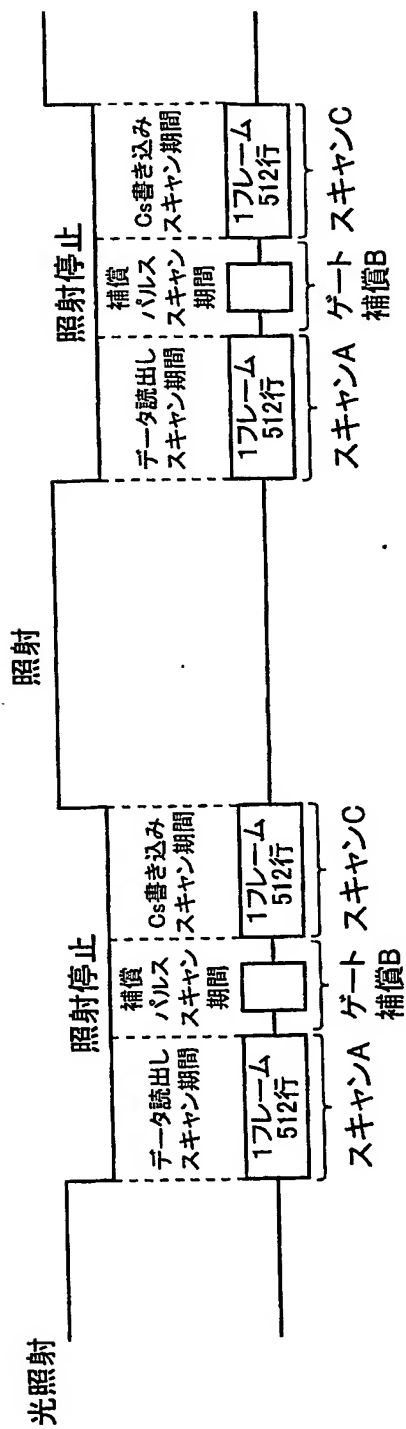
【図 22】



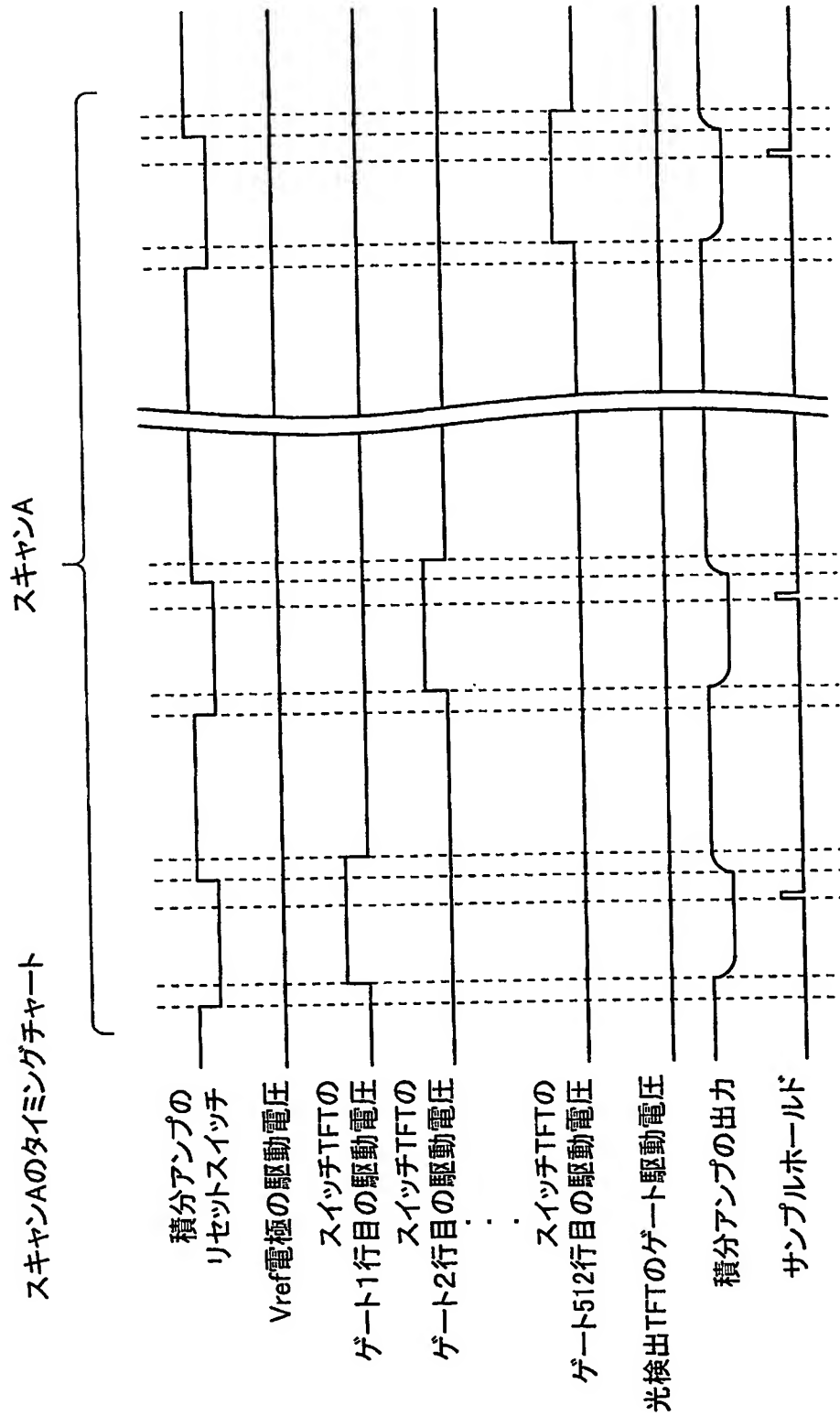
【図 23】



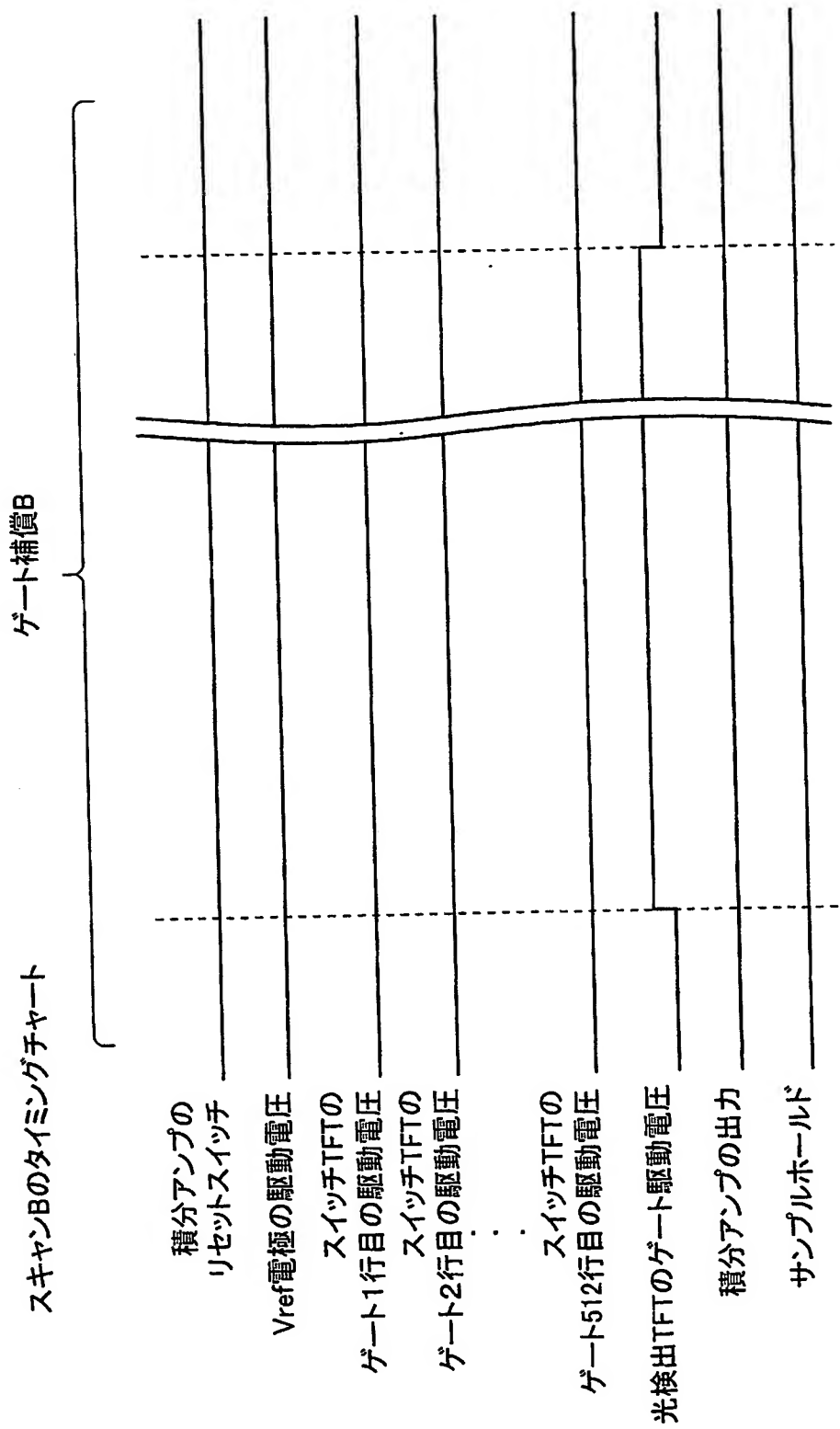
【図 24】



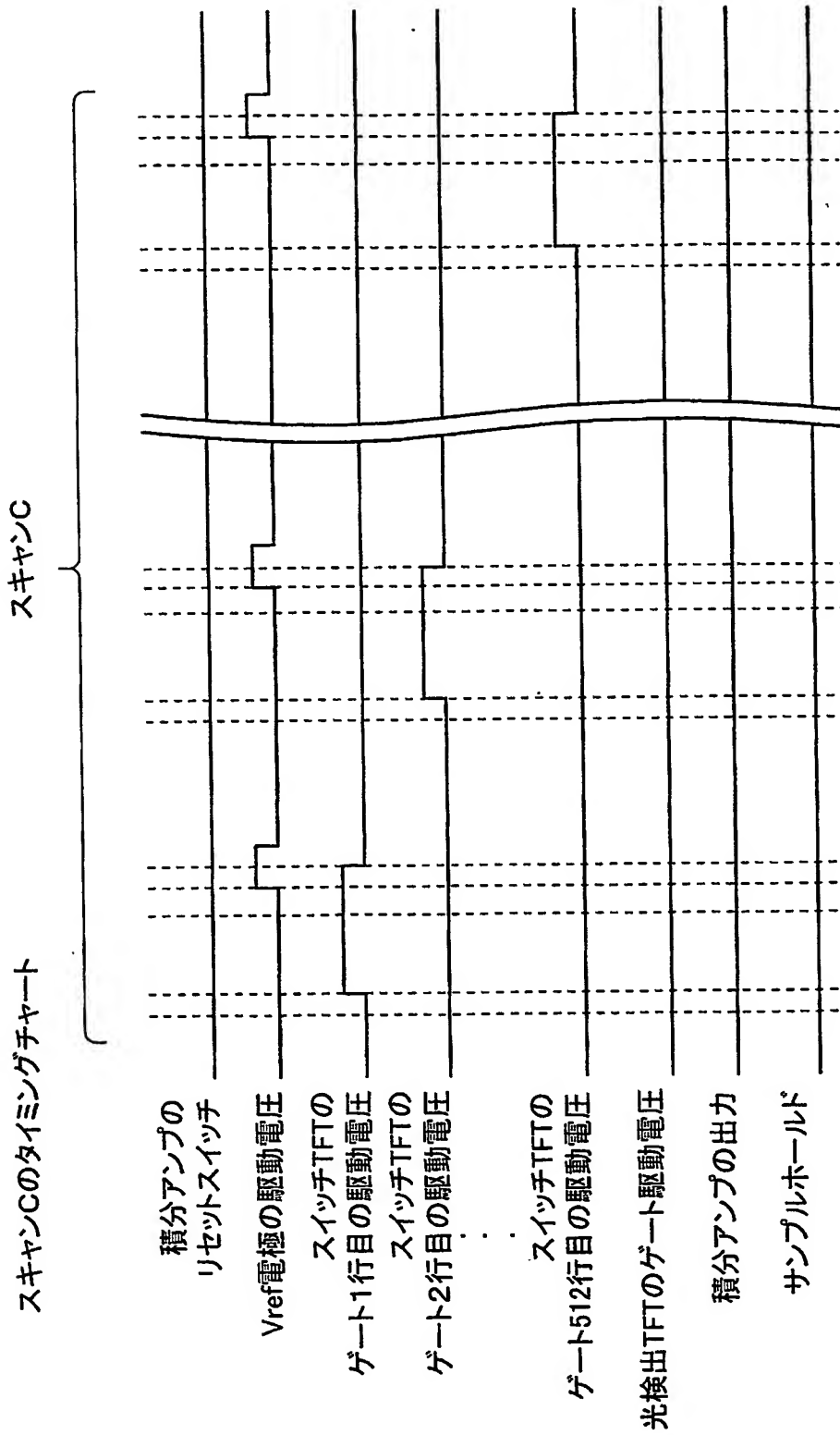
【図 25】



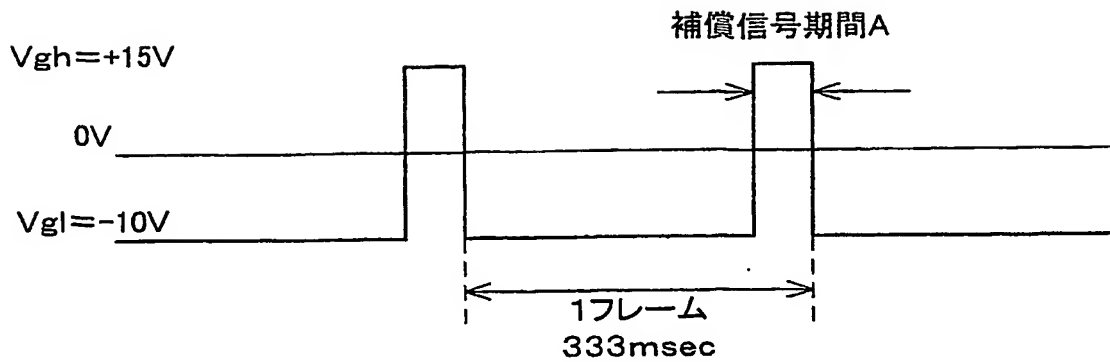
【図26】



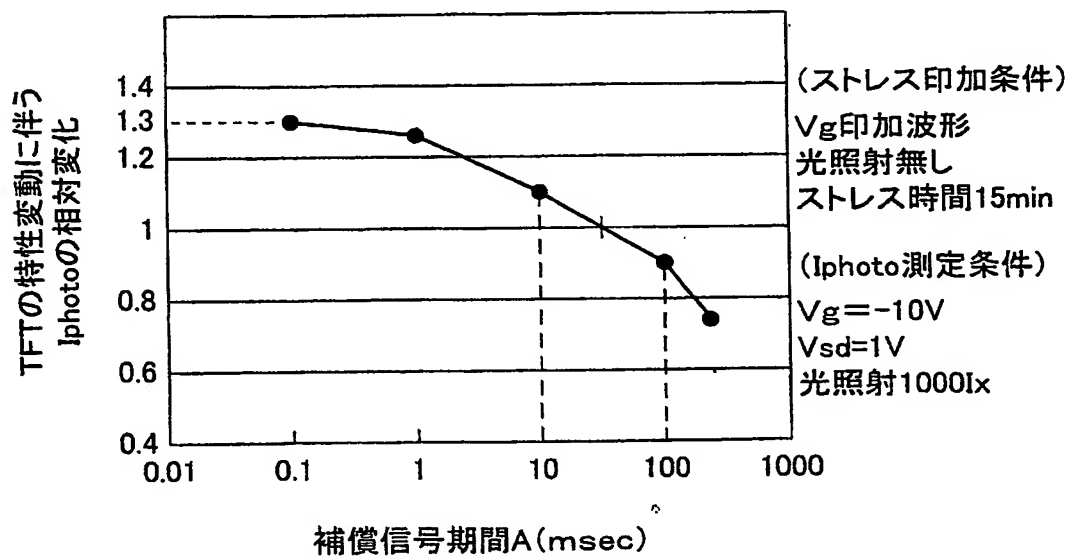
【図 27】



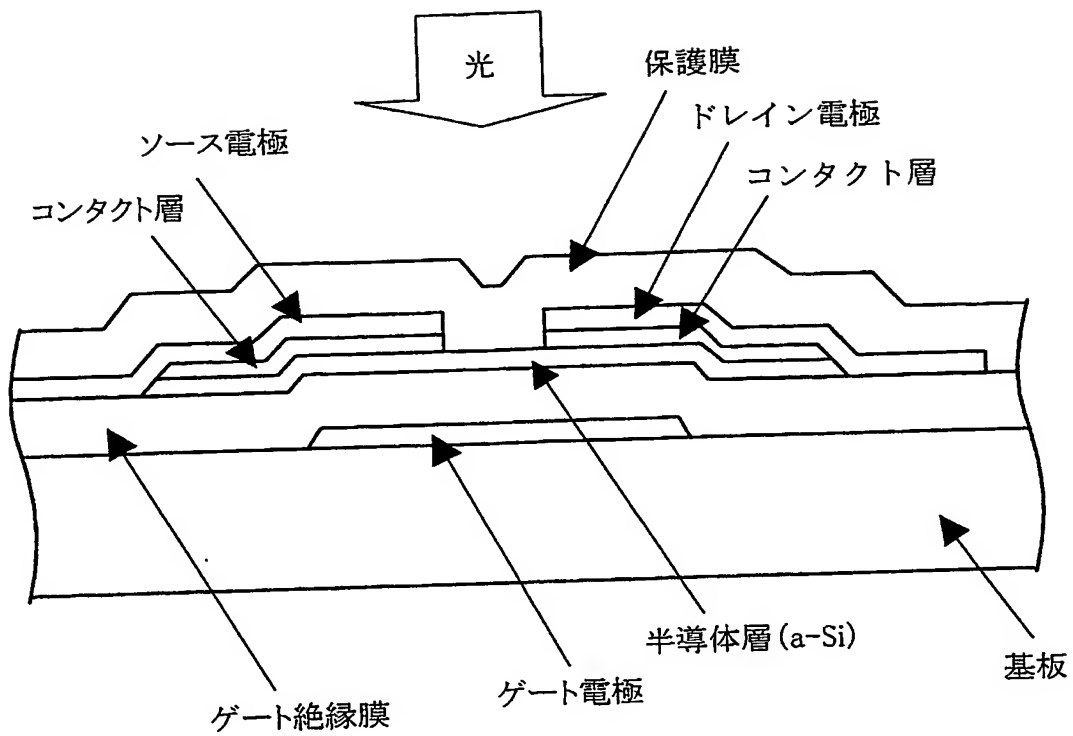
【図 28】



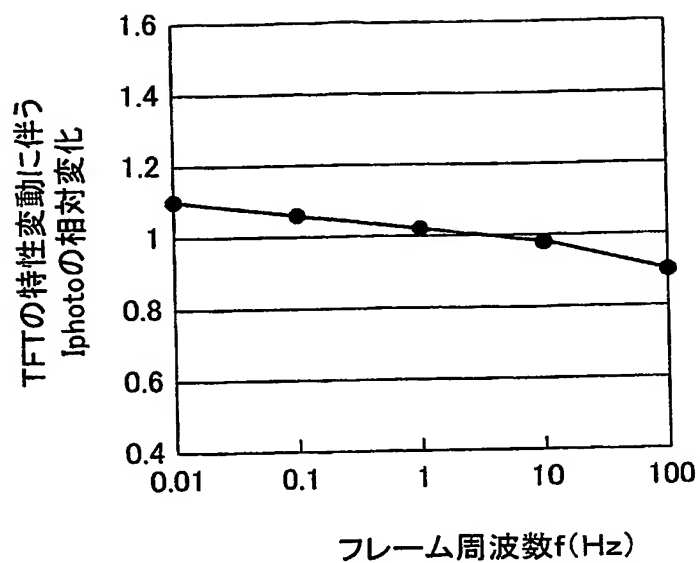
【図 29】



【図 30】



【図 3 1】



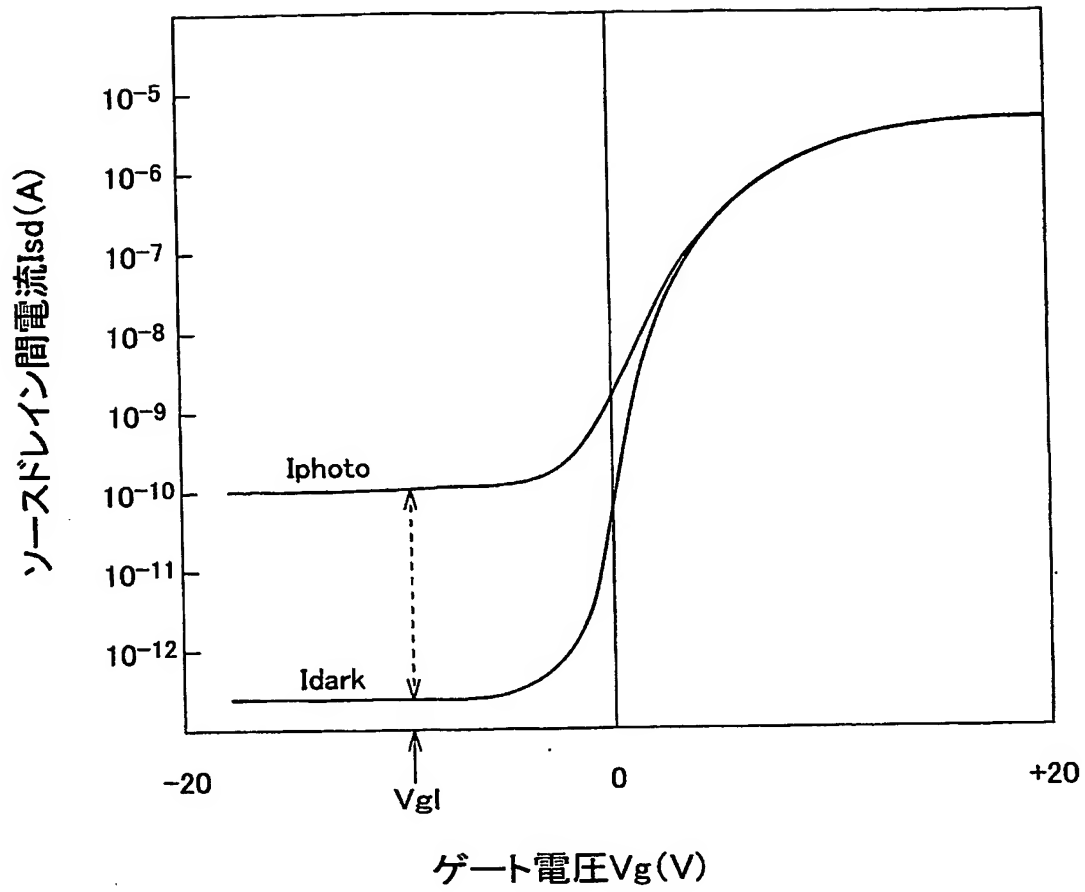
(ストレス印加条件)

V_g 波形:補償記号印加時間のデューティ比を1/10に固定
光照射無し
ストレス時間15min

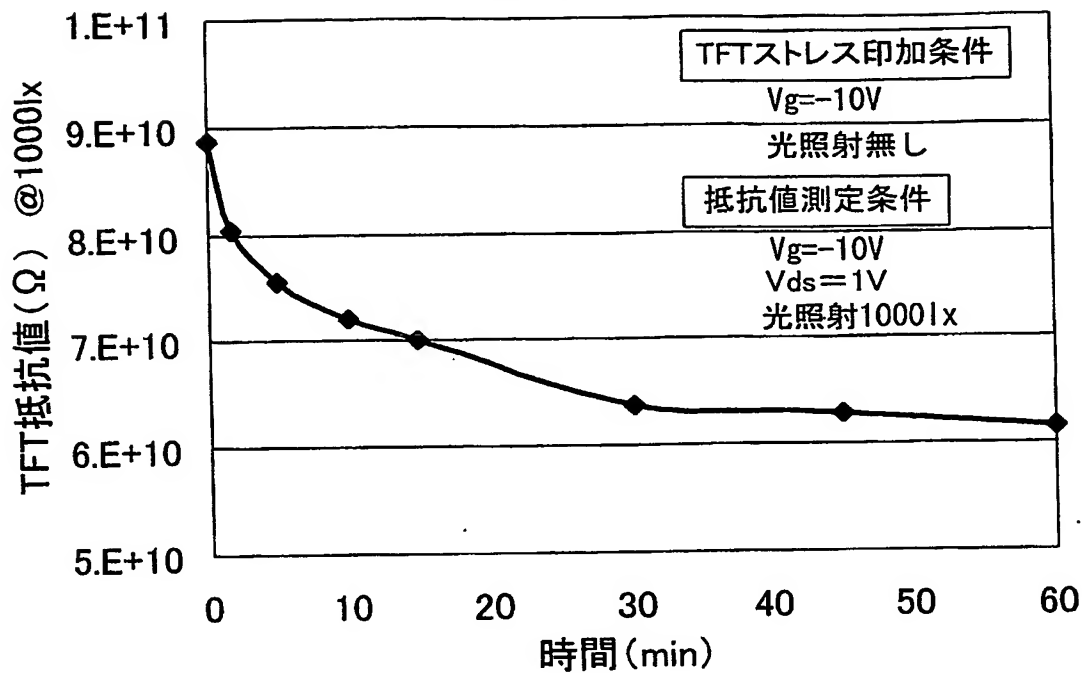
(I_{photo} 測定条件)

$V_g = -10V$
 $V_{sd} = 1V$
光照射1000lx

【図 3 2】



【図 33】

TFT単体のプローブ測定による
TFT抵抗値の経時変化

【書類名】 要約書

【要約】

【課題】 短時間に見られる光検出用 T F T 特性（抵抗値）の変動を抑制することができる画像読み取り装置を提供する。

【解決手段】 光検出用 T F T 7 と画素容量 1 7 とを有する光量変換素子としてのセンサ基板 2 0 と、上記光検出用 T F T 7 のゲート電極に電圧を印加して、該光検出用 T F T 7 をオン状態あるいはオフ状態に駆動する駆動 I C 1 9 とを備える。上記駆動 I C 1 9 は、任意の期間、上記光検出用 T F T 7 のゲート電極に対して、該光検出用 T F T 7 をオフ状態にする電圧の平均の極性とは逆極性の電圧を印加する。

【選択図】 図 1

特願 2002-309967

出 願 人 履 歷 情 報

識別番号

[000005049]

1. 変更年月日

1990年 8月29日

[変更理由]

新規登録

住 所

大阪府大阪市阿倍野区長池町22番22号

氏 名

シャープ株式会社

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ BLACK BORDERS

☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES

☐ FADED TEXT OR DRAWING

☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING

☐ SKEWED/SLANTED IMAGES

☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS

☐ GRAY SCALE DOCUMENTS

☐ LINES OR MARKS ON ORIGINAL DOCUMENT

☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.